

Cor. to KR 2000-0023177

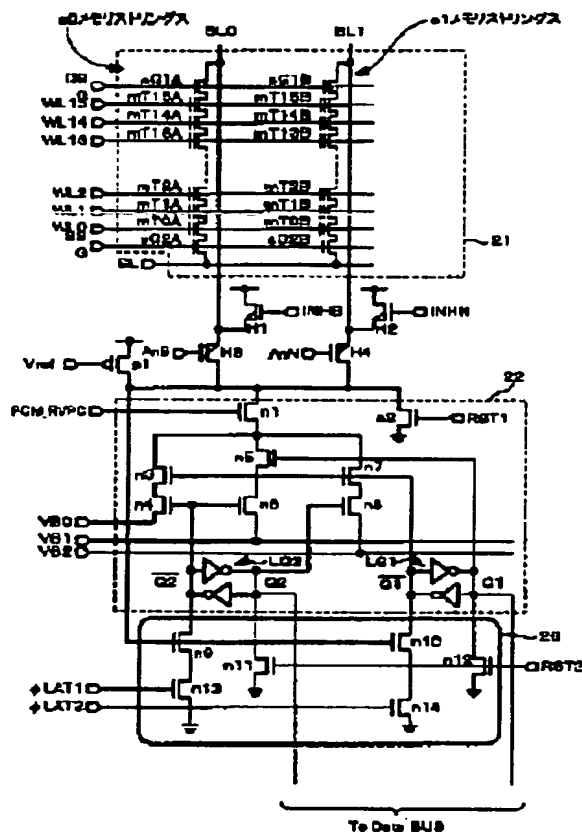
# NON-VOLATILE SEMICONDUCTOR MEMORY, AND METHODS FOR VERIFYING AND READING NON-VOLATILE SEMICONDUCTOR MEMORY

Patent number: JP2000276887  
 Publication date: 2000-10-06  
 Inventor: NOBUKATA HIROMI  
 Applicant: SONY CORP  
 Classification:  
 - international: G11C16/02; G11C16/06; H01L27/115; H01L21/8247; H01L29/788; H01L29/792  
 - european:  
 Application number: JP19990247341 19990901  
 Priority number(s):

## Abstract of JP2000276887

**PROBLEM TO BE SOLVED:** To reduce a circuit scale by setting a word line voltage to plural steps according to a threshold voltage distribution at verifying operation, controlling a bit line so that it is pre-charged or not pre-charged according to a latch circuit data, detecting whether or not a threshold value of a memory cell exceeds a word line voltage, and defining the latch circuit according to the detected output.

**SOLUTION:** This non-volatile semiconductor memory is comprised of a memory cell array 21, a bit line voltage generating circuit 22, and a read/verify control circuit 23. Verify-read operation is performed by sequentially lowering the voltages of word lines WL0-WL15. By making one of the voltages VB0-VB2 to the power source voltage and the others to the ground level, controlling NMOS transistor n3-n8 according to write data held by latch circuits LQ2, LQ1, and making a charging current flow to bit lines BL0, BL1 from one of the voltages VB0-VB2, the other write data are made off the object for verification.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-276887

(P2000-276887A)

(43)公開日 平成12年10月6日(2000.10.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
G 1 1 C 16/02		G 1 1 C 17/00	6 1 1 A 5 B 0 2 5
16/06			6 3 4 G 5 F 0 0 1
H 0 1 L 27/115			6 4 1 5 F 0 8 3
21/8247		H 0 1 L 27/10	4 3 4
29/788		29/78	3 7 1

審査請求 未請求 請求項の数12 O L (全 61 頁) 最終頁に続く

(21)出願番号 特願平11-247341

(22)出願日 平成11年9月1日(1999.9.1)

(31)優先権主張番号 特願平10-261303

(32)優先日 平成10年9月16日(1998.9.16)

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平11-11743

(32)優先日 平成11年1月20日(1999.1.20)

(33)優先権主張国 日本(JP)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 信方 浩美

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100082762

弁理士 杉浦 正知

Fターム(参考) 5B025 AA03 AB01 AC01 AD03 AD04

AD05 AD09 AD11

5F001 AD53 AF20

5F083 EP76 ER00 ER22 GA30 LA09

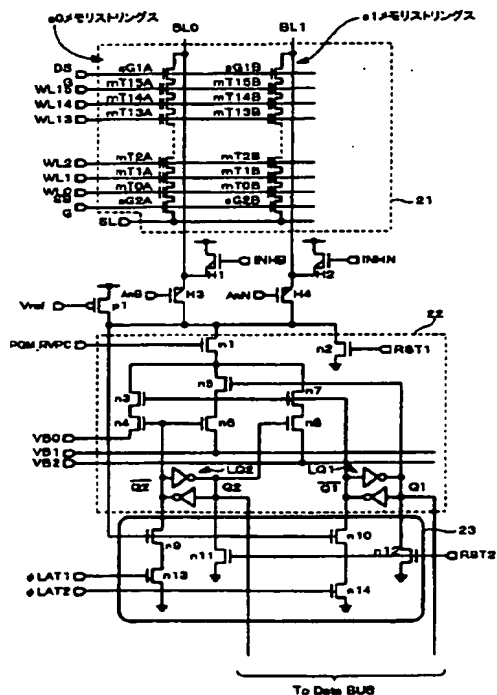
LA10 ZA21

(54)【発明の名称】 不揮発性半導体記憶装置、並びに不揮発性半導体記憶装置のベリファイ方法及び読み出し方法

(57)【要約】

【課題】 例えば、多値のデータをメモリセルに記録するフラッシュ型の半導体記憶装置において、ベリファイおよび読み出しのための回路の削減を図る。

【解決手段】 ベリファイ時において、ワード線電圧をVVF3に設定するときにはラッチデータ"00"のときのみビット線をプリチャージし、ワード線電圧をVVF2に設定するときにはラッチデータ"01"のときのみビット線をプリチャージし、ワード線電圧をVVF1に設定するときにはラッチデータ"10"のときのみビット線をプリチャージすることで、ベリファイ時の回路構成が簡単化される。また、読み出し時においては、それまでラッチデータの反転がないときのみビット線をプリチャージすることで、読み出し時の回路構成が簡単化される。



## 【特許請求の範囲】

【請求項1】 ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビットの多値データをメモリセルに書き込む不揮発性半導体記憶装置であって、

書き込み時に書き込みデータがラッチされると共に、ベリファイ時にデータが十分に書き込まれると所定のデータに設定され、更に、読み出し時に読み出しデータが設定される $n$ 個のラッチ回路と、

書き込み時に上記ラッチ回路にラッチされているデータに応じたビット線電圧に設定する書き込み制御手段と、ベリファイ時に、ワード線電圧をしきい値電圧の分布状態に応じて設定し、上記メモリセルのしきい値が上記ワード線に印加された電圧を越えているかどうかにより上記ラッチ回路を確定し、上記ベリファイ時にデータが十分に書き込まれると上記ラッチ回路に所定のデータが設定されるように制御するベリファイ制御手段と、

読み出し時に、ワード線電圧をしきい値電圧の分布状態に応じて設定し、上記メモリセルのしきい値が上記ワード線に印加された電圧を越えているかどうかにより上記ラッチ回路を確定して、読み出されたデータがラッチ回路に設定されるように制御する読み出し制御手段とを備え、

上記ベリファイ制御手段は、ベリファイ動作時に、ワード線電圧をしきい値電圧の分布状態に応じて複数の段階に設定し、上記ラッチ回路にラッチされているデータに応じて上記ビット線をプリチャージする／しないように制御し、上記メモリセルに電流が流れるかどうかにより上記メモリセルのしきい値が上記ワード線に印加された電圧を越えているかどうかを検出し、上記検出出力に応じて上記ラッチ回路を確定して、上記ベリファイ時にデータが十分に書き込まれると上記ラッチ回路に所定のデータが設定されるようにしたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 上記メモリセルは、その一端及び他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線及びソース線に接続されたメモリストリングからなるようにした請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 上記ベリファイ制御手段は、最下位ビットを除いて上記ラッチ回路に所定のデータがラッチされているときにのみ、上記ビット線にプリチャージ電流を流すように制御する手段と、上記最下位ビットの状態に応じて、上記ラッチ回路の状態が反転しないように制御する手段とを含む請求項1に記載の不揮発性半導体記憶装置。

【請求項4】 上記ベリファイ制御手段は、最下位ビットを除いて上記ラッチ回路に所定のデータがラッチされ

ているときにのみ、上記ビット線にプリチャージ電流を流すように制御する手段と、上記最下位ビットの状態に応じて、上記ビット線のディスチャージをするように制御する手段とを含む請求項1に記載の不揮発性半導体記憶装置。

【請求項5】 上記メモリセルには、( $n=2$ )ビットの多値データを書き込むようにした請求項1に記載の不揮発性半導体記憶装置。

【請求項6】 上記メモリセルには、( $n=3$ )ビットの多値データを書き込むようにした請求項1に記載の不揮発性半導体記憶装置。

【請求項7】 ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビットの多値データをメモリセルに書き込む不揮発性半導体記憶装置であって、

書き込み時に書き込みデータがラッチされると共に、ベリファイ時にデータが十分に書き込まれると所定のデータに設定され、更に、読み出し時に読み出しデータが設定される $n$ 個のラッチ回路と、

書き込み時に上記ラッチ回路にラッチされているデータに応じたビット線電圧に設定する書き込み制御手段と、ベリファイ時に、ワード線電圧をしきい値電圧の分布状態に応じて設定し、上記メモリセルのしきい値が上記ワード線に印加された電圧を越えているかどうかにより上記ラッチ回路を確定し、上記ベリファイ時にデータが十分に書き込まれると上記ラッチ回路に所定のデータが設定されるように制御するベリファイ制御手段と、

読み出し時に、ワード線電圧をしきい値電圧の分布状態に応じて設定し、上記メモリセルのしきい値が上記ワード線に印加された電圧を越えているかどうかにより上記ラッチ回路を確定して、読み出されたデータがラッチ回路に設定されるように制御する読み出し制御手段とを備え、

上記読み出し制御手段は、読み出し時に、ワード線電圧をしきい値電圧の分布状態に応じて複数の段階に設定し、前回までに上記ラッチ回路のノードの反転が生じていないときにのみ、上記ビット線をプリチャージし、上記メモリセルに電流が流れるかどうかにより上記メモリセルのしきい値が上記ワード線に印加された電圧を越えているかどうかを検出し、上記検出出力に応じて上記ラッチ回路を確定して、上記読み出し時に上記ラッチ回路に読み出しデータが設定されるようにしたことを特徴とする不揮発性半導体記憶装置。

【請求項8】 上記メモリセルは、その一端及び他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線及びソース線に接続されたメモリストリングからなるようにした請求項7に記載の不揮発性半導体記憶装置。

【請求項9】 上記メモリセルには、 $(n=2)$ ビットの多値データを書き込むようにした請求項7に記載の不揮発性半導体記憶装置。

【請求項10】 上記メモリセルには、 $(n=3)$ ビットの多値データを書き込むようにした請求項7に記載の不揮発性半導体記憶装置。

【請求項11】 ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量が変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビットの多値データをメモリセルに書き込む不揮発性半導体記憶装置のペリファイ方法であって、

ワード線電圧をしきい値電圧の分布状態に応じて複数の段階に設定し、  
上記ラッチ回路にラッチされているデータに応じてビット線をプリチャージする／しないように制御し、上記メモリセルに電流が流れるかどうかにより上記メモリセルのしきい値が上記ワード線に印加された電圧を越えているかどうかを検出し、

上記検出出力に応じて上記ラッチ回路を確定して、上記ペリファイ時にデータが十分に書き込まれると上記ラッチ回路に所定のデータが設定されるようにしたことを特徴とする不揮発性半導体記憶装置のペリファイ方法。

【請求項12】 ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量が変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビットの多値データをメモリセルに書き込む不揮発性半導体記憶装置の読み出し方法であって、

ワード線電圧をしきい値電圧の分布状態に応じて複数の段階に設定し、

前回までに上記ラッチ回路のノードの反転が生じていないときにのみ、上記ビット線をプリチャージし、

上記メモリセルに電流が流れるかどうかにより上記メモリセルのしきい値が上記ワード線に印加された電圧を越えているかどうかを検出し、

上記検出出力に応じて上記ラッチ回路を確定して、上記読み出し時に上記ラッチ回路に読み出しデータが設定されるようにしたことを特徴とする不揮発性半導体記憶装置の読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、フラッシュ型のメモリセルに例えば4値(2ビット)もしくは8値(3ビット)のデータを記録する多値型構成に用いて好適な不揮発性半導体記憶装置並びに不揮発性半導体記憶装置のペリファイ方法及び読み出し方法に関する。

【0002】

【従来の技術】フラッシュメモリ等の不揮発性半導体記憶装置においては、1個のメモリセルトランジスタに

「0」、「1」の2つの値をとるデータを記録する2値型のセル構造が通常である。しかしながら、2値型の構成の半導体記憶装置では、記憶容量に限界がある。特に、このような半導体記憶装置は、ビデオデータやオーディオデータの記録に用いることが考えられており、長時間のビデオデータやオーディオデータを記録できるような大容量のものが望まれている。そこで、1個のメモリセルに多値のデータを記録できるようにすることが提案されている。

【0003】ところが、1個のセルに対する記憶レベルを例えば4値もしくは8値にすると、ペリファイのための回路や読み出しのための回路が複雑化し、回路規模が大きくなるという問題が生じている。

【0004】図16は、先に本願出願人により提案されている記憶多値レベルが4値に対応した不揮発性半導体記憶装置の一例である。図16に示すように、この不揮発性半導体記憶装置は、メモリアレイ211と、ビット線電圧発生回路212と、読み出し／ペリファイ制御回路213とにより構成される。

【0005】メモリアレイ211は、メモリストリングを複数マトリクス状に配列した構成とされている。一方のメモリストリングはビット線BL0に接続され、他方のメモリストリングはビット線BL1に接続される。

【0006】メモリストリングは、フローティングゲートを有する不揮発性半導体記憶装置からなるメモリセルトランジスタが直列に接続されたNANDストリングからなる。このNANDストリングのメモリセルトランジスタのドレインが選択ゲートを夫々介してビット線BL0、BL1に接続される。同一行のメモリセルの制御ゲートが共通のワード線に接続される。セルフブーストを用いて4値の多値データがページ単位でメモリセルに書き込まれる。

【0007】ビット線電圧発生回路212は、NMOSトランジスタn101～n108及びインバータの入出力同士を結合してなるラッチ回路LQ2、LQ1により構成される。また、ビット線電圧発生回路212からは、VB1、VB2の供給ラインが導出される。

【0008】ビット線電圧発生回路212により、書き込み時に、書き込みデータに応じたビット線電圧が発生され、メモリアレイ211のメモリセルに与えられる。また、ビット線電圧発生回路212には、ラッチ回路LQ2、LQ1が含まれている。ペリファイ時には、ビット線電圧発生回路212のラッチ回路LQ2、LQ1の記憶ノードQ2、Q1は、メモリアレイ211のメモリセルに書き込みが十分に行なわれると、「11」に設定される。読み出し時には、メモリアレイ211のメモリセルのしきい値が検出されてデータの読み出しが行なわれる。この時、ラッチ回路LQ2、LQ1の記憶ノードQ2、Q1には、読み出されたデータが格納される。

【0009】読み出し／ペリファイ制御回路213は、

NMOSトランジスタn109～n119から構成される。この読み出し／ペリフェイ制御回路213は、読み出し時又はペリフェイ時に、ラッチ回路LQ2、LQ1の状態を制御するものである。読み出し／ペリフェイ制御回路213からは、信号φLAT1～φLAT4の供給ラインが導出される。この信号φLAT1～φLAT4の供給ラインに、パルス状の信号が供給される。読み出し／ペリフェイ制御回路213のNMOSトランジスタn109、n110のゲート電極は、ノードSAに接続されている。ノードSAは、メモリアレイ211のメモリセルのしきい値を検出するためのノードとなる。

【0010】ノードSAとビット線BL0との間には、高耐圧のNMOSトランジスタH103が接続されている。また、ノードSAとビット線BL1との間に、高耐圧のNMOSトランジスタH104が接続されている。NMOSトランジスタH103のゲート電極にアドレスデコード信号AnBが供給される。NMOSトランジスタH104のゲート電極にアドレスデコード信号AnNが供給される。なお、電源電圧Vcc（例えば、3.3V）の供給ラインとビット線BL0との間には、高耐圧のNMOSトランジスタH101が接続されており、電源電圧Vccの供給ラインとビット線BL1との間には、高耐圧のNMOSトランジスタH102が接続されている。NMOSトランジスタH101のゲート電極に制御信号INHbが供給される。NMOSトランジスタH102のゲート電極に制御信号INHnが供給される。

【0011】ノードSAと接地ラインGNDとの間に、NMOSトランジスタn102が接続される。ノードSAと電源電圧Vccの供給ラインとの間に、PMOSトランジスタp101が接続される。NMOSトランジスタn102のゲート電極には、リセット信号RST1が供給される。PMOSトランジスタp101のゲート電極には、信号Vrefが供給される。

【0012】ノードSAとビット線電圧発生回路212との間には、NMOSトランジスタn101が設けられている。すなわち、NMOSトランジスタn101のドレインがノードSAに接続される。NMOSトランジスタn101のソースがNMOSトランジスタn103、n105、n107のドレインに接続される。NMOSトランジスタn101のゲート電極には、制御信号PGMが供給される。

【0013】NMOSトランジスタn101のソースと電圧VB1の供給ラインとの間に、NMOSトランジスタn105、n106が直列に接続される。NMOSトランジスタn101のソースと電圧VB2の供給ラインとの間に、NMOSトランジスタn107、n108が直列に接続される。NMOSトランジスタn101のソースと接地ラインとの間に、NMOSトランジスタn103、n104が直列に接続される。

【0014】ラッチ回路LQ2、LQ1は、夫々、記憶

ノードQ2、Q1と、その反転記憶ノード/Q2、/Q1を有している。なお、/は反転を示すバーを意味している。

【0015】ラッチ回路LQ2の反転記憶ノード/Q2は、NMOSトランジスタn104、n106のゲート電極に接続される。ラッチ回路LQ2の記憶ノードQ2は、NMOSトランジスタn108のゲート電極に接続される。

【0016】ラッチ回路LQ1の反転記憶ノード/Q1は、NMOSトランジスタn103、n107のゲート電極に接続される。ラッチ回路LQ1の記憶ノードQ1はNMOSトランジスタn105のゲート電極に接続される。

【0017】また、ラッチ回路LQ2の記憶ノードQ2、ラッチ回路LQ1の記憶ノードQ1の夫々と接地ラインとの間に、NMOSトランジスタn111、n112が夫々接続される。NMOSトランジスタn111、n112のゲート電極がリセット信号RST2の供給ラインに接続される。

【0018】読み出し／ペリフェイ制御回路213において、NMOSトランジスタn109、n110のゲート電極は、ノードSAに接続される。NMOSトランジスタn109のドレインがラッチ回路LQ2の反転記憶ノード/Q2に接続される。NMOSトランジスタn110のドレインがラッチ回路LQ1の反転記憶ノード/Q1に接続される。

【0019】NMOSトランジスタn109のソースと接地ラインとの間に、直列接続されたNMOSトランジスタn113、n114が接続される。また、NMOSトランジスタn113に並列にNMOSトランジスタn115が接続される。

【0020】NMOSトランジスタn110のソースと接地ラインとの間に、NMOSトランジスタn118、n119が直列に接続されるとともに、これと並列的に、NMOSトランジスタn116、n117が直列に接続される。

【0021】読み出し／ペリフェイ制御回路213からは、信号φLAT1～φLAT4の供給ラインが導出される。NMOSトランジスタn119のゲート電極が信号φLAT1の供給ラインに接続される。NMOSトランジスタn117のゲート電極が信号φLAT2の供給ラインに接続される。NMOSトランジスタn114のゲート電極が信号φLAT3の供給ラインに接続される。NMOSトランジスタn113のゲート電極が信号φLAT4の供給ラインに接続される。

【0022】ラッチ回路LQ2の反転記憶ノード/Q2は、NMOSトランジスタn116のゲート電極に接続される。ラッチ回路LQ2の記憶ノードQ2は、NMOSトランジスタn118のゲート電極に接続される。ラッチ回路LQ1の記憶ノードQ1は、NMOSトランジ

スタn115のゲート電極に接続される。

【0023】ラッチ回路LQ2の記憶ノードQ2が図示せずとも所定のトランジスタを介してデータバスラインに接続される。また、ラッチ回路LQ1の記憶ノードQ1が図示せずとも所定のトランジスタを介してデータバスラインに接続される。

【0024】次に、書き込み動作を説明する。スタンバイ時には、信号PGMがローレベルに設定され、NMOSTランジスタn101が非導通状態に保持され、ビット線BL0、BL1がビット線電圧発生回路212のラッチ回路LQ2、LQ1から切り離されている。

【0025】そして、リセット信号RST1がハイレベルに設定され、信号AnB、AnNが( $V_{cc}-V_{th}$ )に設定され、ビット線BL0、BL1が接地レベルに設定されている。なお、このとき、信号INHb、INHnがローレベルに設定されている。

【0026】この状態で書き込みが起動された場合、データバスからの書き込みデータがラッチ回路LQ2、LQ1に取り込まれて保持される。

【0027】その後、信号RST1がローレベルに切り換えられ、ビット線BL0、BL1が接地ラインから切り離される。そして、信号AnB、AnNが $V_{cc}$ 以上のハイレベル（例えば読み出し時のバス電圧）に設定されるとともに、信号Vrefがローレベルとされ、PMOSTランジスタp101が導通状態に保持される。これにより、全ビット線BL0、BL1が電源電圧 $V_{cc}$ に充電される。

【0028】書き込み時には、アドレス信号で選択されない方のアドレス、例えばAnNが接地レベルとなり、同時に制御信号INHnが $V_{cc}$ 以上のハイレベルに設定される。そして信号PGMがハイレベルに設定され、電圧VB2および電圧VB1が( $VB2 > VB1 > 0$ )の関係の所定の電圧に設定される。

【0029】書き込みデータが“00”の場合には、ラッチ回路LQ2及びLQ1の反転ノード/Q2及び/Q1はハイレベルである。このため、NMOSTランジスタn103、n104が導通状態となり、ビット線BL0は、接地レベルになる。

【0030】書き込みデータが“01”の場合には、NMOSTランジスタn105、n106が導通状態となり、ビット線BL0は、電圧VB1に設定される。

【0031】書き込みデータが“10”の場合には、NMOSTランジスタn107、n108が導通状態となり、ビット線BL0は、電圧VB2に設定される。

【0032】書き込みデータが“11”の場合には、電圧VB2、VB1および接地ラインとの間の何れのバスもビット線と遮断される。このため、ビット線の電圧は、 $V_{cc}$ レベルに保持される。

【0033】以上のプロセスにより、選択ビット線BL0が書き込みデータに応じた電圧に設定された後、ワー

ド線が書き込み電圧に設定され、非選択のワード線が書き込みバス電圧に設定されて、書き込みが行なわれる。

【0034】次に、ペリファイ読み出し動作について図17のタイミングチャートに関連付けて説明する。なお、偶数ビット線側が選択されているものとする。

【0035】ペリファイ動作では、1回の書き込みが終了する毎に“00”、“01”、“10”の書き込みチェックが行なわれる。

【0036】この例では、高いレベルからペリファイが行なわれる。すなわち、ワード線電圧をVVF3→VVF2→VVF1へ順次下げてペリファイが行なわれる。以下、ペリファイ動作を具体的に説明する。

【0037】まず、信号Vrefがローレベルに設定され、PMOSTランジスタp101が導通状態に保持されるとともに、信号RST1がローレベルに設定され、NMOSTランジスタn102が非導通状態に保持される。また、信号AnBがVAnB ( $V_{AnB} = V_{cc} - V_{th}$ )に設定され、ビット線の電圧が信号AnBのレベルからバックバイアスのかかったしきい値電圧 $V_{th}'$ だけ降下した電圧に充電されたあと、NMOSTランジスタH103はカットオフし、ノードSAは電源電圧 $V_{cc}$ に充電される。。

【0038】一定時間経過後、信号Vrefは、ビット線のリーク電流を補償するだけの電流をPMOSTランジスタp101に流すことができる電圧に設定され、非選択メモリセルのワード線にP5Vが設定され、選択セルが接続されたワード線に、VVF3が印加される。

【0039】まず、書き込みデータが“00”のペリファイが行なわれる。このとき、選択ワード線電圧はVVF3に設定される。

【0040】ここで、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF3より大きい( $V_{th} > VVF3$ )場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧 $V_{cc}$ に保持され、NMOSTランジスタn109、n110が導通状態に保持される。

【0041】そして、一定時間経過後、パルス状の信号である信号φLAT1、φLAT3、φLAT4が図17に示すタイミングでハイレベルに設定される。

【0042】信号φLAT3およびφLAT4がハイレベルの期間では、NMOSTランジスタn113、n114がともに導通状態に切り換わる。このとき、NMOSTランジスタn109が導通状態であるから、ラッチ回路LQ2の反転ノード/Q2がローレベルになり、ラッチ回路LQ2のノードQ2がハイレベルに反転する。

【0043】信号φLAT1がハイレベルの期間では、NMOSTランジスタn119が導通状態に切り換わる。このとき、NMOSTランジスタn118のゲート電極がラッチ回路LQ2のノードのレベルが反転することによりハイレベルに設定されているため、NMOST

ランジスタ  $n118$  も導通状態に切り換わり、ラッチ回路  $LQ1$  の反転ノード /  $Q1$  がローレベルになり、ラッチ回路  $LQ1$  のノード  $Q1$  がハイレベルに反転する。

【0044】以上により、書き込みデータが“00”のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF3}$  より大きい ( $V_{th} > V_{VF3}$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$  のラッチデータは“11”に反転し、以後、再書き込みではビット線  $BL$  は電源電圧  $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0045】一方、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF3}$  より小さい ( $V_{th} < V_{VF3}$ ) 場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタ  $H103$  がオンして、電荷の再配分が起こり、ノード  $SA$  の電位はビット線電圧と略等しい ( $V_{AnB} - V_{th}$ ) となる。ノード  $SA$  の電位が ( $V_{AnB} - V_{th}$ ) では、NMOSTランジスタ  $n109$ 、 $n110$  は完全に導通することはできない。

【0046】そして、一定時間経過後、パルス状の信号である信号  $\phi LAT1$ 、 $\phi LAT3$ 、 $\phi LAT4$  が図17に示すタイミングでハイレベルに設定される。

【0047】信号  $\phi LAT3$  および  $\phi LAT4$  がハイレベルの期間では、NMOSTランジスタ  $n113$ 、 $n114$  が導通状態に切り換わる。NMOSTランジスタ  $n113$ 、 $n114$  が導通状態に切り換わるが、NMOSTランジスタ  $n109$  が完全に導通しないため、ラッチ回路  $LQ2$  のノードの反転は起こらない。

【0048】信号  $\phi LAT1$  がハイレベルの期間では、NMOSTランジスタ  $N119$  が導通状態に切り換わる。このとき、NMOSTランジスタ  $n116$  が非導通なので (ラッチ回路  $LQ2$  のノードの反転は起きていないから)、ラッチ回路  $LQ1$  のノードの反転は起こらない。

【0049】以上により、書き込みデータが“00”のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF3}$  より小さい ( $V_{th} < V_{VF3}$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$  のラッチデータは“00”のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0050】次に、書き込みデータが“01”のベリファイが行なわれる。このとき、選択ワード線電圧は  $V_{VF2}$  に設定される。

【0051】ここで、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF2}$  より大きい ( $V_{th} > V_{VF2}$ ) 場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノード  $SA$  は電源電圧  $V_{cc}$  に保持され、NMOSTランジスタ  $n109$ 、 $n110$  が導通状態に保持される。

【0052】そして、一定時間経過後、パルス状の信号

である信号  $\phi LAT3$  が図17に示すタイミングでハイレベルに設定される。

【0053】信号  $\phi LAT3$  がハイレベルの期間では、NMOSTランジスタ  $n114$  が導通状態に切り換わる。このとき、NMOSTランジスタ  $n115$  のゲート電極がラッチ回路  $LQ1$  の  $Q1$  出力によりハイレベルに設定されているため、NMOSTランジスタ  $n115$  も導通状態に切り換わり、ラッチ回路  $LQ2$  の反転ノード /  $Q2$  がローレベルになり、ラッチ回路  $LQ2$  のノード  $Q2$  がハイレベルに反転する。

【0054】以上により、書き込みデータが“01”のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF2}$  より大きい ( $V_{th} > V_{VF2}$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$  のラッチデータは“11”に反転し、以後、再書き込みではビット線  $BL$  は電源電圧  $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0055】一方、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF2}$  より小さい ( $V_{th} < V_{VF2}$ ) 場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタ  $H103$  がオンして、電荷の再配分が起こり、ノード  $SA$  の電位はビット線電圧と略等しい ( $V_{AnB} - V_{th}$ ) となる。ノード  $SA$  の電位が ( $V_{AnB} - V_{th}$ ) では、NMOSTランジスタ  $n109$ 、 $n110$  は完全に導通することはできない。

【0056】そして、一定時間経過後、パルス状の信号である信号  $\phi LAT3$  が図17に示すタイミングでハイレベルに設定される。

【0057】信号  $\phi LAT3$  がハイレベルの期間では、NMOSTランジスタ  $n114$  が導通状態に切り換わる。このとき、NMOSTランジスタ  $n109$  が完全に導通しないため、ラッチ回路  $LQ2$  のノードの反転は起こらない。

【0058】次に、書き込みデータが“10”のベリファイが行われる。このとき、選択ワード線電圧は  $V_{VF1}$  に設定される。

【0059】ここで、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF1}$  より大きい ( $V_{th} > V_{VF1}$ ) 場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノード  $SA$  は電源電圧  $V_{cc}$  に保持され、NMOSTランジスタ  $n109$ 、 $n110$  が導通状態に保持される。

【0060】そして、一定時間経過後、パルス状の信号である信号  $\phi LAT1$  が図17に示すタイミングでハイレベルに設定される。

【0061】信号  $\phi LAT1$  がハイレベルの期間では、NMOSTランジスタ  $n119$  が導通状態に切り換わる。このとき、NMOSTランジスタ  $n118$  のゲート電極がラッチ回路  $LQ2$  の  $Q2$  出力によりハイレベルに

設定されているため、NMOSTランジスタ  $n118$  も導通状態に切り換わり、ラッチ回路  $LQ1$  の反転ノード/ $Q1$  がローレベルになり、ラッチ回路  $LQ1$  のノード  $Q1$  がハイレベルに反転する。

【0062】以上により、書き込みデータが“10”のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF1}$  より大きい ( $V_{th} > V_{VF1}$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$  のラッチデータは“11”に反転し、以後、再書き込みではビット線  $BL$  は電源電圧  $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0063】一方、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF1}$  より小さい ( $V_{th} < V_{VF1}$ ) 場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタ  $H103$  がオンして、電荷の再配分が起こり、ノード  $SA$  の電位はビット線電圧と略等しい ( $V_{AnB} - V_{th}'$ ) となる。ノード  $SA$  の電位が ( $V_{AnB} - V_{th}'$ ) では、NMOSTランジスタ  $n109$ 、 $n110$  は完全に導通することはできない。

【0064】そして、一定時間経過後、パルス状の信号である信号  $\phi LAT1$  が図17に示すタイミングでハイレベルに設定される。

【0065】信号  $\phi LAT1$  がハイレベルの期間では、NMOSTランジスタ  $n119$  が導通状態に切り換わる。このとき、NMOSTランジスタ  $n110$  が完全に導通しないため、ラッチ回路  $LQ1$  のノードの反転は起こらない。

【0066】以上により、書き込みデータが“10”のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF1}$  より小さい ( $V_{th} < V_{VF1}$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$  のラッチデータは“10”のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0067】そして、ワード線電圧  $V_{VF1}$  でのベリファイが終了した段階で、全ラッチデータの反転信号のワイヤードORがとられ、1つでも“0”があれば、ワイヤードORの結果はローレベルとなって、再書き込みプロセスに移行し、全てが“1”となっていれば、書き込みが終了する。以上の書き込み及びベリファイサイクルが全てのメモリセルの書き込み十分と判定されるか、所定回数に達するまで繰り返される。

【0068】次に、読み出し動作について図18のタイミングチャートに関連付けて説明する。読み出し時には、ベリファイ時と同様に、高いレベルから読み出しが行なわれる。すなわち、ワード線電圧を  $VRD3 \rightarrow VRD2 \rightarrow VRD1$  へ順次下げて読み出しが行なわれる。なお、偶数ビット線側が選択されているものとする。

【0069】読み出し時には、先ず、読み出し動作に先立って、信号  $RST2$  が一定期間ハイレベルに保持され

てラッチ回路  $LQ2$  および  $LQ1$  のリセットがなされる。そして、ベリファイ時と同様に、信号  $V_{ref}$  がローレベルに設定され、PMOSTランジスタ  $p101$  が導通状態に保持されると共に、信号  $RST1$  がローレベルに設定され、NMOSTランジスタ  $n102$  が非導通状態に保持される。また、信号  $AnB$  が  $V_{AnB}$  ( $V_{AnB} = V_{cc} - V_{th}$ ) に設定され、ビット線の電圧が信号  $AnB$  のレベルからバックバイアスのかかったしきい値電圧  $V_{th}'$  だけ降下した電圧に充電されたあと、NMOSTランジスタ  $H103$  はカットオフし、ノード  $SA$  は電源電圧  $V_{cc}$  に充電される。

【0070】一定時間経過後、信号  $V_{ref}$  は、ビット線のリーク電流を補償するだけの電流をPMOSTランジスタ  $p101$  に流すことができる電圧に設定され、非選択メモリセルのワード線に  $P5V$  が設定され、選択セルが接続されたワード線に、 $VRD3$  が印加される。

【0071】ワード線電圧が  $VRD3$  での読み出しの結果、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $VRD3$  より大きい ( $V_{th} > VRD3$ ) 場合、セル電流が流れないことにより、ノード  $SA$  は電源電圧  $V_{cc}$  に保持される。このとき、NMOSTランジスタ  $n109$ 、 $n110$  が導通状態となる。

【0072】そして、一定時間経過後、パルス状の信号である信号  $\phi LAT3$ 、 $\phi LAT4$ 、 $\phi LAT1$  が図18に示すタイミングでハイレベルに設定され、NMOSTランジスタ  $n113$ 、 $n114$  が導通状態に設定される。

【0073】メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $VRD3$  より大きい場合、NMOSTランジスタ  $n109$  は導通している。したがって、ラッチ回路  $LQ2$  の反転ノード/ $Q2$  が「0」になり、ラッチ回路  $LQ2$  のノード  $Q2$  が「1」に反転する。

【0074】信号  $\phi LAT1$  がハイレベルに設定されると、NMOSTランジスタ  $n119$  が導通状態に設定される。このとき、NMOSTランジスタ  $n118$  のゲート電極がラッチ回路  $LQ2$  の  $Q2$  出力によりハイレベルに設定されているため、NMOSTランジスタ  $n118$  も導通状態に切り換わっている。そして、NMOSTランジスタ  $n110$  は導通している。したがって、信号  $\phi LAT1$  がハイレベルに設定されると、ラッチ回路  $LQ1$  の反転ノード/ $Q1$  が「0」になり、ラッチ回路  $LQ1$  のノード  $Q1$  が「1」に反転する。

【0075】以上により、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $VRD3$  より大きい ( $V_{th} > VRD3$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$  のラッチデータが“11”に反転する。

【0076】一方、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $VRD3$  以下 ( $V_{th} < VRD3$ ) であれば、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタ  $H103$  が導通状態とな

り、電荷の再配分が起こり、ノードSAの電圧はビット線電圧と略等しい ( $V_{AnB} - V_{th}$ ) となる。このため、NMOSTランジスタn109、n110は完全に導通しない。

【0077】そして、一定時間経過後、パルス状の信号φLAT3およびφLAT4がハイレベルに設定され、NMOSTランジスタn113、n114が導通状態に設定されるが、NMOSTランジスタN109は完全には導通しない。したがって、ラッチ回路LQ2のノードの反転は起こらない。

【0078】信号φLAT1がハイレベルに設定されると、NMOSTランジスタn119が導通状態に設定される。ところが、NMOSTランジスタn110は完全には導通していない。したがって、ラッチ回路LQ1のノードの反転は起こらない。

【0079】次に、ワード線電圧がVRD2に設定されて読み出しが行なわれる。ワード線電圧がVRD2での読み出しの結果、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD2より大きい ( $V_{th} > VRD2$ ) 場合、セル電流が流れないことにより、ノードSAは電源電圧 $V_{cc}$ に保持される。このとき、NMOSTランジスタn109、n110が導通状態となる。

【0080】そして、一定時間経過後、パルス状の信号である信号φLAT3およびφLAT4がハイレベルに設定され、NMOSTランジスタn113、n114が導通状態に設定される。このとき、NMOSTランジスタn109は導通しているため、ラッチ回路LQ2の反転ノード/Q2が「0」になり、ラッチ回路LQ2のノードQ2が「1」に反転する。

【0081】以上により、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD2より大きい ( $V_{th} > VRD2$ ) 場合、ラッチ回路LQ2、LQ1のラッチデータが“10”に反転する。

【0082】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD2以下 ( $V_{th} < VRD2$ ) であれば、リーク補償電圧より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタH103が導通状態となり、電荷の再配分が起こり、ノードSAの電圧はビット線電圧と略等しい ( $V_{AnB} - V_{th}$ ) となる。このため、NMOSTランジスタn109、n110は完全に導通しない。

【0083】そして、一定時間経過後、パルス状の信号である信号φLAT3およびφLAT4がハイレベルに設定され、NMOSTランジスタn113、n114が導通状態に設定される。NMOSTランジスタn109は完全には導通しないため、ラッチ回路LQ2のノードの反転は起こらない。

【0084】次に、ワード線電圧がVRD1に設定されて読み出しが行なわれる。ワード線電圧VRD1での読み出し結果、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧

VVR1より大きい ( $V_{th} > VRD1$ ) 場合、セル電圧が流れないことにより、ノードSAは電源電圧 $V_{cc}$ に保持される。このとき、NMOSTランジスタn109、n110は導通状態に保持される。

【0085】そして、一定時間経過後、パルス状の信号である信号φLAT2がハイレベルに設定され、NMOSTランジスタn117が導通状態に設定される。このとき、NMOSTランジスタn110は導通している。また、NMOSTランジスタn116のゲート電極がラッチ回路LQ2の/Q2出力によりハイレベルとされいるため、NMOSTランジスタn116も導通状態に設定される。したがって、信号φLAT2がハイレベルに設定されると、ラッチ回路LQ1の反転ノード/Q1が「0」になり、ラッチ回路LQ1のノードQ1が「1」に反転する。

【0086】以上により、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD1より大きい ( $V_{th} > VRD1$ ) 場合、ラッチ回路LQ2、LQ1のラッチデータが“01”に反転する。

【0087】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD1以下 ( $V_{th} < VRD1$ ) であれば、リーク補償電圧より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタH103が導通状態となり、電荷の再配分が起こり、ノードSAの電圧はビット線電圧と略等しい ( $V_{AnB} - V_{th}$ ) となる。このため、NMOSTランジスタn109、n110は完全に導通しない。

【0088】そして、一定時間経過後、パルス状の信号である信号φLAT2がハイレベルに設定され、NMOSTランジスタn117が導通状態に設定される。しかし、NMOSTランジスタn110は完全には導通しないため、ラッチ回路LQ1のノードの反転は起こらない。

【0089】また、図19は、先に本願出願人により提案されている記憶多値レベルが8値に対応した不揮発性半導体記憶装置の一例である。この不揮発性半導体記憶装置は、メモリアレイ111と、ビット線電圧発生回路112と、読み出し/ペリファイ制御回路113とにより構成される。

【0090】メモリアレイ111は、メモリストリングを複数マトリクス状に配列した構成とされている。一方のメモリストリングはビット線BL0に接続され、他方のメモリストリングはビット線BL1に接続される。

【0091】メモリストリングは、フローティングゲートを有する不揮発性半導体記憶装置からなるメモリセルトランジスタが直列に接続されたNANDストリングからなる。このNANDストリングのメモリセルトランジスタのドレインが選択ゲートを夫々介してビット線BL0、BL1に接続される。同一行のメモリセルの制御ゲートが共通のワード線に接続される。セルフブーストを

用いて8値の多値データがページ単位でメモリセルに書き込まれる。

【0092】ビット線電圧発生回路112は、NMOSTランジスタN101～N114及びインバータの入出力同士を結合してなるラッチ回路LQ2、LQ1、LQ0により構成される。また、ビット線電圧発生回路112からは、電圧VB0、VB1、VB2、VB3の供給ラインが導出される。

【0093】ビット線電圧発生回路112により、書き込み時に、書き込みデータに応じたビット線電圧が発生され、メモリアレイ111のメモリセルに与えられる。また、ビット線電圧発生回路112には、ラッチ回路LQ2、LQ1、LQ0が含まれている。ベリファイ時には、ビット線電圧発生回路112のラッチ回路LQ2、LQ1、LQ0の記憶ノードQ2、Q1、Q0は、メモリアレイ111のメモリセルに書き込みが十分に行なわれると、“111”に設定される。読み出し時には、メモリアレイ111のメモリセルのしきい値が検出されてデータの読み出しが行なわれる。この時、ラッチ回路LQ2、LQ1、LQ0の記憶ノードQ2、Q1、Q0には、読み出されたデータがデコードされて設定されている。

【0094】読み出し／ベリファイ制御回路113は、NMOSTランジスタN115～N141から構成される。この読み出し／ベリファイ制御回路113は、読み出し時又はベリファイ時に、ラッチ回路LQ2、LQ1、LQ0の状態を制御するものである。読み出し／ベリファイ制御回路113からは、信号φLAT0～φLAT9の供給ラインが導出される。この信号φLAT0～φLAT9の供給ラインに、パルス状の信号が供給される。読み出し／ベリファイ制御回路113のNMOSTランジスタN115、N116、N117のゲート電極は、ノードSAに接続されている。ノードSAは、メモリアレイ111のメモリセルのしきい値を検出するためのノードとなる。

【0095】ノードSAとビット線BL0との間には、高耐压のNMOSTランジスタHN101及びHN103の直列接続が設けられる。また、ノードSAとビット線BL1との間に、高耐压のNMOSTランジスタHN102及びHN104の直列接続が設けられる。NMOSTランジスタHN103のゲート電極にアドレスデコード信号AiBが供給される。NMOSTランジスタHN104のゲート電極にアドレスデコード信号AiNが供給される。NMOSTランジスタHN101、HN102のゲート電極に、制御信号TRNが供給される。

【0096】ノードSAと接地ラインGNDとの間に、NMOSTランジスタN101が接続される。ノードSAと電源電圧Vcc（例えば、3.3V）の供給ラインとの間に、PMOSTランジスタP101が接続される。NMOSTランジスタN101のゲート電極には、制御

信号DISが供給される。PMOSTランジスタP101のゲート電極には、信号Vrefが供給される。

【0097】ノードSAとビット線電圧発生回路112との間には、NMOSTランジスタN102が設けられている。すなわち、NMOSTランジスタN102のドレインがノードSAに接続される。NMOSTランジスタN102のソースがNMOSTランジスタN103、N105、N107、N109のドレインに接続される。NMOSTランジスタN102のゲート電極には、制御信号PGMが供給される。

【0098】NMOSTランジスタN102のソースと電圧VB0の供給ラインとの間に、NMOSTランジスタN103、N104が直列に接続される。NMOSTランジスタN102のソースと電圧VB1の供給ラインとの間に、NMOSTランジスタN105、N106が直列に接続される。NMOSTランジスタN102のソースと電圧VB2の供給ラインとの間に、NMOSTランジスタN107、N108が直列に接続される。NMOSTランジスタN102のソースと電圧VB3の供給ラインとの間に、NMOSTランジスタN109、N110、N111が直列に接続される。

【0099】ラッチ回路LQ2、LQ1、LQ0は、夫々、記憶ノードQ2、Q1、Q0と、その反転記憶ノード／Q2、／Q1、／Q0を有している。なお、／は反転を示すバーを意味している。

【0100】ラッチ回路LQ2の反転記憶ノード／Q2は、NMOSTランジスタN104、N106のゲート電極に接続される。ラッチ回路LQ2の記憶ノードQ2は、NMOSTランジスタN107、N109のゲート電極に接続される。

【0101】ラッチ回路LQ1の反転記憶ノード／Q1は、NMOSTランジスタN103、N108のゲート電極に接続される。ラッチ回路LQ1の記憶ノードQ1はNMOSTランジスタN105、N110のゲート電極に接続される。

【0102】ラッチ回路LQ0の反転記憶ノード／Q0は、NMOSTランジスタN111のゲート電極に接続される。

【0103】また、ラッチ回路LQ2の記憶ノードQ2、ラッチ回路LQ1の記憶ノードQ1、ラッチ回路LQ0の記憶ノードQ0の夫々と接地ラインとの間に、NMOSTランジスタN112、N113、N114が夫々接続される。NMOSTランジスタN112、N113、N114のゲート電極がリセット信号RSTの供給ラインに接続される。

【0104】読み出し／ベリファイ制御回路113において、NMOSTランジスタN115、N116、N117のゲート電極は、ノードSAに接続される。NMOSTランジスタN115のドレインがラッチ回路LQ2の反転記憶ノード／Q2に接続される。NMOSTラン

ジスタN116のドレインがラッチ回路LQ1の反転記憶ノード/Q1に接続される。NMOSTランジスタN117のドレインがラッチ回路LQ0の反転記憶ノード/Q0に接続される。

【0105】NMOSTランジスタN115のソースと接地ラインとの間に、NMOSTランジスタN118が接続されるとともに、これと並列的に、NMOSTランジスタN119、N120、N121が直列に接続される。

【0106】NMOSTランジスタN116のソースがNMOSTランジスタN122のドレイン及びNMOSTランジスタN127のドレインに接続される。NMOSTランジスタN122のソースと接地ラインとの間に、NMOSTランジスタN123、N124が直列に接続されるとともに、これと並列的に、NMOSTランジスタN125、N126が直列に接続される。

【0107】NMOSTランジスタN127のソースと接地ラインとの間に、NMOSTランジスタN128、N129が直列に接続されるとともに、これと並列的に、NMOSTランジスタN130、N131が直列に接続される。

【0108】NMOSTランジスタN117のソースがNMOSTランジスタN132のドレイン及びNMOSTランジスタN137のドレインに接続される。NMOSTランジスタN132のソースと接地ラインとの間に、NMOSTランジスタN133、N134が直列に接続されるとともに、これと並列的に、NMOSTランジスタN135、N136が直列に接続される。

【0109】NMOSTランジスタN137のソースと接地ラインとの間に、NMOSTランジスタN138、N139が直列に接続されるとともに、これと並列的に、NMOSTランジスタN140、N141が直列に接続される。

【0110】読み出し／ベリファイ制御回路113からは、信号φLAT0〜φLAT9の供給ラインが導出される。NMOSTランジスタN118のゲート電極が信号φLAT0の供給ラインに接続される。NMOSTランジスタN121のゲート電極が信号φLAT1の供給ラインに接続される。NMOSTランジスタN124のゲート電極が信号φLAT2の供給ラインに接続される。NMOSTランジスタN126のゲート電極が信号φLAT3の供給ラインに接続される。NMOSTランジスタN129のゲート電極が信号φLAT4の供給ラインに接続される。NMOSTランジスタN131のゲート電極が信号φLAT5の供給ラインに接続される。NMOSTランジスタN134のゲート電極が信号φLAT6の供給ラインに接続される。NMOSTランジスタN136のゲート電極が信号φLAT7の供給ラインに接続される。NMOSTランジスタN139のゲート電極が信号φLAT8の供給ラインに接続される。NM

OSTランジスタN141のゲート電極が信号φLAT9の供給ラインに接続される。

【0111】ラッチ回路LQ2の反転記憶ノード/Q2は、NMOSTランジスタN127、N137のゲート電極に接続される。ラッチ回路LQ2の記憶ノードQ2は、NMOSTランジスタN122、N132のゲート電極に接続される。ラッチ回路LQ1の反転記憶ノード/Q1は、NMOSTランジスタN135、N140のゲート電極に接続される。ラッチ回路LQ1の記憶ノードQ1は、NMOSTランジスタN133、N138のゲート電極に接続される。ラッチ回路LQ0の反転記憶ノード/Q0は、NMOSTランジスタN128、N123のゲート電極に接続される。ラッチ回路LQ0の記憶ノードQ0は、NMOSTランジスタN130、N125、N120のゲート電極に接続される。

【0112】ラッチ回路LQ2の記憶ノードQ2とバスラインIO0との間に、NMOSTランジスタN151が接続され、ラッチ回路LQ1の記憶ノードQ1とバスラインIO1との間にNMOSTランジスタN152が接続され、ラッチ回路LQ0の記憶ノードQ0とバスラインIO2との間にNMOSTランジスタN153が接続される。また、カラムゲートとしてのNMOSTランジスタN151、N152、N153のゲート電極が信号Y1\_0の供給ラインに接続される。

【0113】次に、書き込み動作を説明する。スタンバイ時には、信号PGMがローレベルに設定され、NMOSTランジスタN102が非導通状態に保持され、ビット線BL0、BL1がビット線電圧発生回路112のラッチ回路LQ2、LQ1、LQ0から切り離されている。

【0114】そして、信号DISがハイレベルに設定され、信号TRN、AiB、AiNが(Vcc-Vth)に設定される。ビット線BL0、BL1が接地レベルに設定される。

【0115】この状態で書き込みが起動された場合、信号Y0\_0がハイレベルに設定されて、書き込みデータがラッチ回路LQ2、LQ1、LQ0に取り込まれて保持される。

【0116】その後、信号DISがローレベルに切り換えられ、ビット線BL0、BL1が接地ラインから切り離される。そして、信号TRN、AiB、AiNがVcc以上のハイレベル（例えば読み出し時のバス電圧）に設定されるとともに、信号Vrefがローレベルとされ、PMOSTランジスタP101が導通状態に保持される。これにより、全ビット線BL0、BL1が電源電圧Vccに充電される。

【0117】書き込み時には、アドレス信号で選択されない方のアドレス、例えばAiNが接地レベルとなり、信号PGMがハイレベルに設定される。そして、電圧VB3が最も高い電圧となり、電圧VB2が次に高い電圧

となり、電圧VB1が次に高い電圧となり、電圧VB0は接地レベルになるように設定される。

【0118】書き込みデータが“00x”（xは0又は1）の場合には、ラッチ回路LQ2及びLQ1の反転ノード/Q2及び/Q1はハイレベルである。このため、NMOSTランジスタN103、N104が導通状態となり、ビット線BL0は、電圧VB0（接地レベル）になる。

【0119】書き込みデータが“01x”の場合には、NMOSTランジスタN105、N106が導通状態となり、ビット線BL0は、電圧VB1に設定される。

【0120】書き込みデータが“10x”の場合には、NMOSTランジスタN107、N108が導通状態となり、ビット線BL0は、電圧VB2に設定される。

【0121】書き込みデータが“110”の場合には、NMOSTランジスタN109、N110、N111が導通状態となり、ビット線BL0は、電圧VB3に設定される。

【0122】書き込みデータが“111”の場合には、電圧VB0～VB3からの何れのバスもビット線と遮断される。このため、ビット線の電圧は、Vccレベルに保持される。

【0123】以上のプロセスにより、選択ビット線BL0が書き込みデータに応じた電圧に設定された後、ワード線が書き込み電圧に設定され、非選択のワード線が書き込みバス電圧に設定されて、書き込みが行なわれる。

【0124】次に、ベリファイ読み出し動作について図20を参照して説明する。

【0125】ベリファイ動作では、1回の書き込みが終了する毎に“000”、“001”、“010”、“011”、“100”、“101”、“110”、の書き込みチェックが行なわれる。

【0126】この例では、高いレベルからベリファイが行なわれる。すなわち、ワード線電圧をVVF7→VVF6→VVF5→VVF4→VVF3→VVF2→VVF1へ順次下げ、ベリファイが行なわれる。以下、ベリファイ動作を具体的に説明する。

【0127】まず、信号Vrefがローレベルに設定され、PMOSTランジスタP101が導通状態に保持される。また、信号TRNがVTRN（ $VTRN = V_{cc} - V_{th}$ ）に設定され、ビット線の電圧が信号TRNのレベルからバックバイアスのかかったしきい値電圧 $V_{th}'$ だけ降下した電圧に充電されたあと、NMOSTランジスタHN101はカットオフし、ノードSAは電源電圧Vccに充電される。

【0128】一定時間経過後、信号Vrefは、ビット線のリーク電流を補償するだけの電流をPMOSTランジスタP101に流すことができる電圧に設定され、非選択メモリセルのワード線にP5Vが設定され、選択セルが接続されたワード線にVVF7が印加される。

【0129】まず、書き込みデータが“000”のベリファイが行なわれる。

【0130】ここで、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF7より大きい（ $V_{th} > VVF7$ ）場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧Vccに保持され、NMOSTランジスタN115、N116、N117が導通状態に保持される。

【0131】そして、一定時間経過後、パルス状の信号である信号φLAT0、φLAT2、φLAT6が順次ハイレベルに設定される。

【0132】信号φLAT0がハイレベルの期間では、NMOSTランジスタN118が導通状態に切り換わる。このとき、NMOSTランジスタN115が導通状態であるから、ラッチ回路LQ2の反転ノード/Q2がローレベルになり、ラッチ回路LQ2のノードQ2がハイレベルに反転する。

【0133】信号φLAT2がハイレベルの期間では、NMOSTランジスタN124が導通状態に切り換わる。このとき、NMOSTランジスタN123が導通状態で、NMOSTランジスタN122が導通状態に切り換わっており（ラッチ回路LQ2のノードが反転している）、NMOSTランジスタN116が導通状態であるから、ラッチ回路LQ1の反転ノード/Q1がローレベルになり、ラッチ回路LQ1のノードQ1がハイレベルに反転する。

【0134】信号φLAT6がハイレベルの期間では、NMOSTランジスタN134が導通状態に切り換わる。このとき、NMOSTランジスタN133が導通状態に切り換わっており、NMOSTランジスタN132が導通状態に切り換わっており（ラッチ回路LQ2、LQ1が反転している）、NMOSTランジスタN117が導通状態であることから、ラッチ回路LQ0の反転ノード/Q0がローレベルになり、ラッチ回路LQ0のノードQ0がハイレベルに反転する。

【0135】以上により、書き込みデータが“000”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF7より大きい（ $V_{th} > VVF7$ ）場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは“111”に反転し、以後、再書き込みではビット線BLは電源電圧Vcc、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0136】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF7より小さい（ $V_{th} < VVF7$ ）場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタHN101がオンして、電荷の再配分が起こり、ノードSAの電位はビット線電圧と略等しい（ $VTRN - V_{th}'$ ）となる。ノードSAの電位が（ $VTRN - V_{th}'$ ）では、NMOSTランジスタN115、N116、N117は完全に導通す

ることはできない。

【0137】そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT0、 $\phi$ LAT2、 $\phi$ LAT6が順次ハイレベルに設定される。

【0138】信号 $\phi$ LAT0がハイレベルの期間では、NMOSTランジスタN118が導通状態に切り換わる。NMOSTランジスタN118が導通状態に切り換わるが、NMOSTランジスタN115が完全に導通しないため、ラッチ回路LQ2のノードの反転は起こらない。

【0139】信号 $\phi$ LAT2がハイレベルの期間では、NMOSTランジスタN124が導通状態に切り換わる。このとき、NMOSTランジスタN122が非導通なので（ラッチ回路LQ2のノードの反転は起きていないから）、ラッチ回路LQ1のノードの反転は起こらない。

【0140】信号 $\phi$ LAT6がハイレベルの期間では、NMOSTランジスタN134が導通状態に切り換わる。このとき、NMOSTランジスタN133が非導通状態、NMOSTランジスタN132が非導通なので（ラッチ回路LQ2、LQ1のノードの反転は起きていないから）、ラッチ回路LQ0のノードの反転は起こらない。

【0141】以上により、書き込みデータが“000”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF7}$ より小さい（ $V_{th} < V_{VF7}$ ）場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは“000”のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0142】次に、書き込みデータが“001”のベリファイが行なわれる。このとき、選択ワード線電圧は $V_{VF6}$ に設定される。

【0143】ここで、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF6}$ より大きい（ $V_{th} > V_{VF6}$ ）場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧 $V_{cc}$ に保持され、NMOSTランジスタN115、N116、N117が導通状態に保持される。

【0144】そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT5、 $\phi$ LAT1が順次ハイレベルに設定される。

【0145】信号 $\phi$ LAT5がハイレベルの期間では、NMOSTランジスタN131が導通状態に切り換わる。このとき、NMOSTランジスタN130が導通状態であり、NMOSTランジスタN127が導通状態であり、NMOSTランジスタN116が導通状態であるから、ラッチ回路LQ1の反転ノード/Q1がローレベルになり、ラッチ回路LQ1のノードQ1がハイレベルに反転する。

【0146】信号 $\phi$ LAT1がハイレベルの期間では、

NMOSTランジスタN121が導通状態になり、NMOSTランジスタN120が導通状態にあり、NMOSTランジスタN119が導通状態に切り換わっており、NMOSTランジスタN115が導通状態であるから、ラッチ回路LQ2の反転ノード/Q2がローレベルになり、ラッチ回路LQ2のノードQ2がハイレベルに反転する。

【0147】以上により、書き込みデータが“001”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF6}$ より大きい（ $V_{th} > V_{VF6}$ ）場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは“111”に反転し、以後、再書き込みではビット線BLは電源電圧 $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0148】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF6}$ より小さい（ $V_{th} < V_{VF6}$ ）場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタHN101がオンして、電荷の再配分が起こり、ノードSAの電位はビット線電圧と略等しい（ $V_{TRN} - V_{th}'$ ）となる。ノードSAの電位が（ $V_{TRN} - V_{th}'$ ）では、NMOSTランジスタN115、N116、N117は完全に導通することはできない。

【0149】そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT5、 $\phi$ LAT1が順次ハイレベルに設定される。

【0150】信号 $\phi$ LAT5がハイレベルの期間では、NMOSTランジスタN131が導通状態に切り換わる。このとき、NMOSTランジスタN116が完全に導通しないため、ラッチ回路LQ1のノードの反転は起こらない。

【0151】信号 $\phi$ LAT1がハイレベルの期間では、NMOSTランジスタN121が導通状態に切り換わるが、NMOSTランジスタN119が非導通状態であるから、ラッチ回路LQ2のノードの反転は起こらない。

【0152】以上により、書き込みデータが“001”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF6}$ より小さい（ $V_{th} < V_{VF6}$ ）場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは“001”のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0153】以下、同様に、ワード線電圧 $V_{VF5}$ の場合、書き込みデータが“010”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF5}$ より大きい（ $V_{th} > V_{VF5}$ ）の場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが“111”に反転するように制御される。

【0154】ワード線電圧 $V_{VF4}$ の場合、書き込みデータが“011”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF4}$ より大きい（ $V_{th} > V_{VF4}$ ）場合

のみラッチ回路LQ2、LQ1、LQ0のラッチデータが“111”に反転するように制御される。

【0155】ワード線電圧VVF3の場合、書き込みデータが“100”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF3より大きい( $V_{th} > VVF3$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが“111”に反転するように制御される。

【0156】ワード線電圧VVF2の場合、書き込みデータが“101”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF2より大きい( $V_{th} > VVF2$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが“111”に反転するように制御される。

【0157】ワード線電圧VVF1の場合、書き込みデータが“110”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF1より大きい( $V_{th} > VVF1$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが“111”に反転するように制御される。

【0158】そして、ワード線電圧VVF1でのベリファイが終了した段階で、全ラッチデータの反転信号のワイヤードORがとられ、1つでも“0”があれば、ワイヤードORの結果はローレベルとなって、再書き込みプロセスに移行し、全てが“1”となっていれば、書き込みが終了する。以上の書き込み及びベリファイサイクルを全てのメモリセルが書き込み十分と判定されるか、所定回数に達するまで繰り返される。

【0159】次に、読み出し動作について図21を参照して説明する。読み出し時には、まず、制御信号RSTを一定期間ハイレベルにしてラッチ回路LQ2、LQ1、LQ0の記憶ノードQ2、Q1、Q0をローレベルに初期化する。そして、ベリファイ時と同様に、高いレベルから行なわれる。すなわち、ワード線電圧をVRD7→VRD6→VRD5→VRD4→VRD3→VRD2→VRD1へ順次下げて行なわれる。

【0160】読み出し時には、ベリファイ時と同様に、まず、信号Vrefがローレベルに設定され、PMOSTランジスタP101が導通状態に保持される。また、信号TRNが $V_{TRN}$  ( $V_{TRN} = V_{cc} - V_{th}$ )に設定され、ビット線の電圧が信号TRNのレベルからバックバイアスのかかったしきい値電圧 $V_{th}'$ だけ降下した電圧に充電されたあと、NMOSTランジスタHN101はカットオフし、ノードSAは電源電圧 $V_{cc}$ に充電される。

【0161】一定時間経過後、信号Vrefは、ビット線のリーク電流を補償するだけの電圧をPMOSTランジスタP101に流すことができる電圧に設定され、非選択メモリセルのワード線にP5Vが設定され、選択セルが接続されたワード線に、VRD7が印加される。

【0162】ワード線電圧がVRD7での読み出しの結果、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD7より大きい( $V_{th} > VRD7$ )場合、セル電流が流れないことにより、ノードSAは電源電圧 $V_{cc}$ に保持され

る。このとき、NMOSTランジスタN115、N116、N117が導通状態となる。

【0163】そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT0}$ 、 $\phi_{LAT2}$ 、 $\phi_{LAT6}$ が順次ハイレベルに設定される。

【0164】信号 $\phi_{LAT0}$ がハイレベルに設定されると、NMOSTランジスタN118が導通状態に設定される。そして、NMOSTランジスタN115は導通しているため、ラッチ回路LQ2の反転ノード/Q2が「0」になり、ラッチ回路LQ2のノードQ2が「1」に反転する。

【0165】信号 $\phi_{LAT2}$ がハイレベルに設定されると、NMOSTランジスタN124が導通状態に設定される。このとき、NMOSTランジスタN123は導通状態にあり、NMOSTランジスタN122は導通状態に切り換わっている。そして、NMOSTランジスタN116は導通しているため、ラッチ回路LQ1の反転ノード/Q1が「0」になり、ラッチ回路LQ1のノードQ1が「1」に反転する。

【0166】信号 $\phi_{LAT6}$ がハイレベルに設定されると、NMOSTランジスタN134が導通状態に設定される。このとき、NMOSTランジスタN133、N132は導通状態に切り換わっている。そして、NMOSTランジスタN117は導通しているため、ラッチ回路LQ0の反転ノード/Q0が「0」に反転し、ラッチ回路LQ0のノードQ0が「1」に反転する。

【0167】以上により、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD7より大きい( $V_{th} > VRD7$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータが“111”に反転する。

【0168】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD7以下( $V_{th} < VRD7$ )であれば、リーク補償電圧より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタHN101が導通状態となり、電荷の再配分が起こり、ノードSAの電圧はビット線電圧と略等しい( $V_{TRN} - V_{th}'$ )となる。このため、NMOSTランジスタN115、N116、N117は完全に導通しない。

【0169】そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT0}$ 、 $\phi_{LAT2}$ 、 $\phi_{LAT6}$ が順次ハイレベルに設定される。

【0170】信号 $\phi_{LAT0}$ がハイレベルに設定されると、NMOSTランジスタN118が導通状態に設定されるが、NMOSTランジスタN115は完全には導通しないため、ラッチ回路LQ2のノードの反転は起こらない。

【0171】信号 $\phi_{LAT2}$ がハイレベルに設定されると、NMOSTランジスタN124が導通状態に設定される。ところが、NMOSTランジスタN122は非導通であるため、ラッチ回路LQ1のノードの反転は起こ

らない。

【0172】信号 $\phi$ LAT6がハイレベルに設定されると、NMOSTランジスタN134が導通状態に設定される。ところが、NMOSTランジスタN132、N133は非導通であるため、ラッチ回路LQ0のノードの反転は起こらない。

【0173】次に、ワード線電圧がVRD6に設定されて読み出しが行なわれる。ワード線電圧がVRD6での読み出しの結果、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD6より大きい( $V_{th} > VRD6$ )場合、セル電流が流れないことにより、ノードSAは電源電圧 $V_{cc}$ に保持される。このとき、NMOSTランジスタN115、N116、N117が導通状態となる。

【0174】そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT0、 $\phi$ LAT2が順次ハイレベルに設定される。

【0175】信号 $\phi$ LAT0がハイレベルに設定されると、NMOSTランジスタN118が導通状態に設定される。そして、NMOSTランジスタN115は導通しているため、ラッチ回路LQ2の反転ノード/Q2が「0」になり、ラッチ回路LQ2のノードQ2が「1」に反転する。

【0176】信号 $\phi$ LAT2がハイレベルに設定されると、NMOSTランジスタN124が導通状態に設定される。このとき、NMOSTランジスタN123は導通状態である。NMOSTランジスタN122は導通状態に切り換わっている。そして、NMOSTランジスタN116は導通しているため、ラッチ回路LQ1の反転ノード/Q1が「0」に反転し、ラッチ回路LQ1のノードQ1が「1」に反転する。

【0177】以上により、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD6より大きい( $V_{th} > VRD6$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータが“110”に反転する。

【0178】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD6以下( $V_{th} < VRD6$ )であれば、リーク補償電圧より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタHN101が導通状態となり、電荷の再配分が起こり、ノードSAの電圧はビット線電圧と略等しい( $V_{TRN} - V_{th}'$ )となる。このため、NMOSTランジスタN115、N116、N117は完全に導通しない。

【0179】そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT0、 $\phi$ LAT2が順次ハイレベルに設定される。

【0180】信号 $\phi$ LAT0がハイレベルに設定されると、NMOSTランジスタN118が導通状態に設定される。しかし、NMOSTランジスタN115は完全に導通しないため、ラッチ回路LQ2のノードの反転は起こらない。

【0181】信号 $\phi$ LAT2がハイレベルに設定されると、NMOSTランジスタN124が導通状態に設定されるが、ラッチ回路LQ2のノードの反転が起きていないので、NMOSTランジスタN122は非導通である。したがって、ラッチ回路LQ1のノードの反転は起こらない。

【0182】次に、ワード線電圧がVRD5に設定されて読み出しが行なわれる。ワード線電圧VRD5での読み出し結果、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD5より大きい( $V_{th} > VRD5$ )場合、セル電圧が流れないことにより、ノードSAは電源電圧 $V_{cc}$ に保持される。このとき、NMOSTランジスタN115、N116、N117は導通状態に保持される。

【0183】ここで、ラッチデータに関しては、以下の場合が考えられる。

【0184】

① $V_{th} > VRD7$ の場合：ラッチデータは“111”

② $VRD7 > V_{th} > VRD6$ の場合：ラッチデータは“110”

③ $VRD6 > V_{th} > VRD5$ の場合：ラッチデータは“000”

ここでは、③の場合のみ、ラッチ回路LQ2、LQ0のノードの反転が生じて、読み出しデータが“101”となるようにする必要があり、このとき、①の場合や②の場合に影響がないようにする必要がある。

【0185】一定時間経過後、パルス状の信号である信号 $\phi$ LAT0、 $\phi$ LAT7が順次ハイレベルに設定される。

【0186】信号 $\phi$ LAT0がハイレベルに設定されると、NMOSTランジスタN118が導通状態に設定される。そして、NMOSTランジスタN115は導通しているため、ラッチ回路LQ2の反転ノード/Q2が「0」になり、ラッチ回路LQ2のノードQ2が「1」に反転する。

【0187】①、②の場合、元々、ラッチ回路LQ2のノードQ2は「1」になるので、影響はない。

【0188】信号 $\phi$ LAT7がハイレベルに設定されると、NMOSTランジスタN136が導通状態に設定される。このとき、③の場合には、NMOSTランジスタN135が導通しており、NMOSTランジスタN132は導通状態に切り換わっている。また、NMOSTランジスタN117は導通しているため、ラッチ回路LQ0の反転ノード/Q0が「0」になり、ラッチ回路LQ0のノードQ0が「1」に反転する。

【0189】このとき、①及び②の場合には、NMOSTランジスタN135が非導通となるため、ノードの反転は生じない。

【0190】以上により、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD5より大きい( $V_{th} > VRD5$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータ

が" 101" に反転する。

【0191】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $VRD5$  以下 ( $V_{th} < VRD5$ ) であれば、リーク補償電圧より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタ $HN101$  が導通状態となり、電荷の再配分が起こり、ノード $SA$ の電圧はビット線電圧と略等しい ( $V_{TRN} - V_{th}$ ) となる。このため、NMOSTランジスタ $N115$ 、 $N116$ 、 $N117$ は完全に導通しない。

【0192】そして、一定時間経過後、パルス状の信号である信号 $\phi LAT0$ 、 $\phi LAT7$ が順次ハイレベルに設定される。

【0193】信号 $\phi LAT0$ がハイレベルに設定されると、NMOSTランジスタ $N118$ が導通状態に設定されるが、NMOSTランジスタ $N115$ は完全には導通しないため、ラッチ回路 $LQ2$ のノードの反転は起こらない。

【0194】信号 $\phi LAT7$ がハイレベルに設定されると、NMOSTランジスタ $N136$ が導通状態に設定されているが、ラッチ回路 $LQ2$ のノードの反転が起きていないので、NMOSTランジスタ $N132$ は非導通である。したがって、ラッチ回路 $LQ0$ のノードの反転は起こらない。

【0195】以下、同様にして、以下のような制御が行なわれる。ワード線電圧 $VRD4$  の場合、 $VRD5 > V_{th} > VRD4$  の場合のみラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$ のラッチデータが" 100" に反転するように制御される。

【0196】ワード線電圧 $VRD3$  の場合、 $VRD4 > V_{th} > VRD3$  の場合のみラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$ のラッチデータが" 011" に反転するように制御される。

【0197】ワード線電圧 $VRD2$  の場合、 $VRD3 > V_{th} > VRD2$  の場合のみラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$ のラッチデータが" 010" に反転するように制御される。

【0198】ワード線電圧 $VRD1$  の場合、 $VRD2 > V_{th} > VRD1$  の場合のみラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$ のラッチデータが" 001" に反転するように制御される。

【0199】

【発明が解決しようとする課題】上述した二つの例が示すように、記憶レベルを4値や8値にすると、ペリファイのための回路や読み出しのための回路が複雑化し、回路規模が大きくなるという問題が生じてくる。特に、ペリファイ時には、ワード線電圧を順次変化させて、所定の書き込みデータのメモリセルについてのみ、ペリファイを行なっていく必要がある。そのための回路構成が複雑化してくる。

【0200】すなわち、上述した4値の例では、ペリフ

アイ時には、ワード線を $VVF3 \sim VVF1$  に3回切り換え、セルが書き込み十分であると、ラッチデータを" 11" に反転するようにしている。これは、そのメモリセルのしきい値 $V_{th}$ がワード線に与えられた電圧以上になっており、書き込みデータがペリファイ時の対象のデータであるという条件を満たしたときに、ラッチデータを" 11" に反転するものである。

【0201】例えば、書き込みデータが" 00" のメモリセルで、このメモリセルの書き込みが十分でなく、分布2 (図2A参照) にあるとする。単純に、ワード線電圧としきい値とを比較してラッチデータを反転させると、ワード線電圧を $VVF3 \sim VVF1$  に順次切り換えていったとき、ワード線電圧を $VVF2$  に設定したときに、このメモリセルのラッチデータが" 11" に反転してしまい、書き込み十分とされてしまう。このようなことが起きないようにすると、上述のように、回路構成が複雑化する。

【0202】また、上述した8値の例では、ペリファイ時には、ワード線を $VVF7 \sim VVF1$  に7回切り換え、セルが書き込み十分であると、ラッチデータを" 111" に反転するようにしている。これは、そのメモリセルのしきい値 $V_{th}$ がワード線に与えられた電圧以上になっており、書き込みデータがペリファイ時の対象のデータであるという条件を満たしたときに、ラッチデータを" 111" に反転するものである。

【0203】例えば、書き込みデータが" 000" のメモリセルで、このメモリセルの書き込みが十分でなく、分布4 (図8参照) にあるとする。単純に、ワード線電圧としきい値とを比較してラッチデータを反転させると、ワード線電圧を $VVF7 \sim VVF1$  に順次切り換えていったとき、ワード線電圧を $VVF4$  に設定したときに、このメモリセルのラッチデータが" 111" に反転してしまい、書き込み十分とされてしまう。このようなことが起きないようにすると、上述のように、回路構成が複雑化する。

【0204】また、上述した4値の例および8値の例では、読み出し時には、4値の例においては、ワード線電圧を $VRD3 \sim VRD1$  に順次変化させ、また、8値の例においては、ワード線電圧を $VRD7 \sim VRD1$  に順次変化させて、メモリセルのしきい値が所定のレベルを越えているかどうかを判断しながら、読み出しデータをデコードしている。この場合、一旦デコードされてラッチ回路に保持されたデータがワード線電圧を切り換えたときに書き換えられることがないように、ラッチ回路のデータを保持していく必要がある。このようなことが行なえるようにすると、上述のように回路構成が複雑化する。

【0205】したがって、この発明の目的は、メモリセルに多値のデータを記録したときにも、回路規模の増大を防ぐようにした不揮発性半導体記憶装置、並びに不揮発性半導体記憶装置のペリファイ方法及び読み出し方法

を提供することにある。

#### 【0206】

【課題を解決するための手段】請求項1の発明は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビットの多値データをメモリセルに書き込む不揮発性半導体記憶装置であって、書き込み時に書き込みデータがラッチされると共に、ベリファイ時にデータが十分に書き込まれると所定のデータに設定され、更に、読み出し時に読み出しデータが設定される $n$ 個のラッチ回路と、書き込み時にラッチ回路にラッチされているデータに応じたビット線電圧に設定する書き込み制御手段と、ベリファイ時に、ワード線電圧をしきい値電圧の分布状態に応じて設定し、メモリセルのしきい値がワード線に印加された電圧を越えているかどうかによりラッチ回路を確定し、ベリファイ時にデータが十分に書き込まれるとラッチ回路に所定のデータが設定されるように制御するベリファイ制御手段と、読み出し時に、ワード線電圧をしきい値電圧の分布状態に応じて設定し、メモリセルのしきい値がワード線に印加された電圧を越えているかどうかによりラッチ回路を確定して、読み出されたデータがラッチ回路に設定されるように制御する読み出し制御手段とを備え、ベリファイ制御手段は、ベリファイ動作時に、ワード線電圧をしきい値電圧の分布状態に応じて複数の段階に設定し、ラッチ回路にラッチされているデータに応じてビット線をプリチャージする／しないように制御し、メモリセルに電流が流れるかどうかによりメモリセルのしきい値がワード線に印加された電圧を越えているかどうかを検出し、検出力に応じてラッチ回路を確定して、ベリファイ時にデータが十分に書き込まれるとラッチ回路に所定のデータが設定されるようにしたことを特徴とする不揮発性半導体記憶装置である。

【0207】請求項2の発明では、メモリセルは、その一端及び他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線及びソース線に接続されたメモリストリングからなる。

【0208】請求項3の発明では、ベリファイ制御手段は、最下位ビットを除いてラッチ回路に所定のデータがラッチされているときにのみ、ビット線にプリチャージ電流を流すように制御する手段と、最下位ビットの状態に応じて、ラッチ回路の状態を設定不能とするように制御する手段とを含む。

【0209】請求項4の発明では、ベリファイ制御手段は、最下位ビットを除いてラッチ回路に所定のデータがラッチされているときにのみ、ビット線にプリチャージ電流を流すように制御する手段と、最下位ビットの状態に応じて、ビット線のディスチャージをするように制御する手段とを含む。

【0210】請求項5の発明では、メモリセルには、 $(n=2)$ ビットの多値データを書き込むようにしている。

【0211】請求項6の発明では、メモリセルには、 $(n=3)$ ビットの多値データを書き込むようにしている。

【0212】請求項7の発明は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビットの多値データをメモリセルに書き込む不揮発性半導体記憶装置であって、書き込み時に書き込みデータがラッチされると共に、ベリファイ時にデータが十分に書き込まれると所定のデータに設定され、更に、読み出し時に読み出しデータが設定される $n$ 個のラッチ回路と、書き込み時にラッチ回路にラッチされているデータに応じたビット線電圧に設定する書き込み制御手段と、ベリファイ時に、ワード線電圧をしきい値電圧の分布状態に応じて設定し、メモリセルのしきい値がワード線に印加された電圧を越えているかどうかによりラッチ回路を確定し、ベリファイ時にデータが十分に書き込まれるとラッチ回路に所定のデータが設定されるように制御するベリファイ制御手段と、読み出し時に、ワード線電圧をしきい値電圧の分布状態に応じて設定し、メモリセルのしきい値がワード線に印加された電圧を越えているかどうかによりラッチ回路を確定して、読み出されたデータがラッチ回路に設定されるように制御する読み出し制御手段とを備え、読み出し制御手段は、読み出し時に、ワード線電圧をしきい値電圧の分布状態に応じて複数の段階に設定し、前回までにラッチ回路のノードの反転が生じていないときにのみ、ビット線をプリチャージし、メモリセルに電流が流れるかどうかによりメモリセルのしきい値がワード線に印加された電圧を越えているかどうかを検出し、検出力に応じてラッチ回路を確定して、読み出し時にラッチ回路に読み出しデータが設定されるようにしたことを特徴とする不揮発性半導体記憶装置である。

【0213】請求項8の発明では、メモリセルは、その一端及び他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線及びソース線に接続されたメモリストリングからなる。

【0214】請求項9の発明では、メモリセルには、 $(n=2)$ ビットの多値データを書き込むようにしている。

【0215】請求項10の発明では、メモリセルには、 $(n=3)$ ビットの多値データを書き込むようにしている。

【0216】請求項11の発明は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化し、

しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビットの多値データをメモリセルに書き込む不揮発性半導体記憶装置のペリファイ方法であって、ワード線電圧をしきい値電圧の分布状態に応じて複数の段階に設定し、ラッチ回路にラッチされているデータに応じてビット線をプリチャージする／しないように制御し、メモリセルに電流が流れるかどうかによりメモリセルのしきい値がワード線に印加された電圧を越えているかどうかを検出し、検出力に応じてラッチ回路を確定して、ペリファイ時にデータが十分に書き込まれるとラッチ回路に所定のデータが設定されるようにしたことを特徴とする不揮発性半導体記憶装置のペリファイ方法である。

【0217】請求項12の発明は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビットの多値データをメモリセルに書き込む不揮発性半導体記憶装置の読み出し方法であってワード線電圧をしきい値電圧の分布状態に応じて複数の段階に設定し、前回までにラッチ回路のノードの反転が生じていないときのみ、ビット線をプリチャージし、メモリセルに電流が流れるかどうかによりメモリセルのしきい値がワード線に印加された電圧を越えているかどうかを検出し、検出力に応じてラッチ回路を確定して、読み出し時にラッチ回路に読み出しデータが設定されるようにしたことを特徴とする不揮発性半導体記憶装置の読み出し方法である。

【0218】ペリファイ動作時に、ワード線電圧をしきい値電圧の分布状態に応じて順次複数の段階に切り換え、ラッチされているデータに応じてビット線をプリチャージする／しないを制御している。

【0219】すなわち、記憶レベルが4値とされた場合には、ワード線電圧をVVF3に設定するときには、電圧VB0にのみVccの電圧が与えられ、電圧VB1、VB2は接地レベルである。したがって、ラッチ回路にラッチされている書き込みデータが"00"のときのみ、(NMOSTランジスタ $n3$ 、 $n4$ が導通状態となり、)ビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。

【0220】同様に、ワード線電圧をVVF2に設定するときには、電圧VB1にのみVccの電圧が与えられ、電圧VB0、VB2は接地レベルであり、ラッチ回路にラッチされている書き込みデータが"01"のときのみビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。ワード線電圧をVVF1に設定するときには、電圧VB2にのみVccの電圧が与えられ、電圧VB0、VB1は接地レベルであり、ラッチ回路にラッチされている書き込みデータが"10"のときのみビット線をプリチャージし、その他のデータの

ときには、ビット線をプリチャージしない。

【0221】また、記憶レベルが8値とされた場合には、ワード線電圧をVVF7及びVVF6に設定するときには、電圧VB0にのみVccの電圧が与えられ、電圧VB1、VB2、VB3は接地レベルである。したがって、ラッチ回路にラッチされている書き込みデータが"00x"のときのみ、(NMOSTランジスタ $N3$ 及び $N4$ が導通状態となり、)ビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。

【0222】同様に、ワード線電圧をVVF5及びVVF4に設定するときには、電圧VB1にのみVccの電圧が与えられ、電圧VB0、VB2、VB3は接地レベルであり、ラッチ回路にラッチされている書き込みデータが"01x"のときのみビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。ワード線電圧をVVF3及びVVF2に設定するときには、電圧VB2にのみVccの電圧が与えられ、電圧VB0、VB1、VB3は接地レベルであり、ラッチ回路にラッチされている書き込みデータが"10x"のときのみビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。ワード線電圧をVVF1に設定するときには、電圧VB3にのみVccの電圧が与えられ、電圧VB0、VB1、VB2は接地レベルであり、ラッチ回路にラッチされている書き込みデータが"110"のときのみビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。

【0223】このように、ラッチされているデータに応じてビット線をプリチャージする／しないを制御することで、ペリファイ時の回路の構成が簡単化する。

【0224】このようにしてペリファイを行なう際、記憶レベルが8値の場合には、最下位ビットについては、最下位ビットのノードの状態をNMOSTランジスタ $N19$ 及び $N23$ のゲートに与え、その反転ノードの状態をNMOSTランジスタ $N21$ 、 $N25$ に与えて、最下位ビットのラッチ回路の状態に応じて、ラッチ回路LQ2、LQ1の設定／不設定を制御する構成とする。

【0225】更に、このようにしてペリファイを行なう際、記憶レベルが8値の場合には、ラッチ回路LQ0にラッチされる最下位ビットについては、NMOSTランジスタ $N72$ 、 $N73$ により、最下位ビットの状態に応じて、ビット線のディスチャージを制御する。

【0226】記憶レベルが4値とされた読み出し時には、それまでにラッチ回路のノード反転がないときのみ、ビット線をプリチャージするように制御し、前回までにラッチ回路のノードの反転があると、ビット線にプリチャージ電流が流れないようにしている。すなわち、読み出し時には、電圧VB0のみVccとし、電圧VB1、VB2は接地レベルとする。それまでの読み出しでラッチ回路の反転が起きていないときのみ、NMOS

トランジスタ $n4$ 、 $n3$ が導通し、電圧 $V_{B0}$ によりビット線がプリチャージされてデータの読み出しが行なわれ、ラッチ回路に読み出しデータが設定される。それまでの読み出しでラッチ回路の反転が起きていると、ビット線のプリチャージが行なわれなくなり、それまでのデータが保持される。

【0227】また、記憶レベルが8値とされた読み出し時においては、それまでにラッチ回路のノード反転がないときのみ、ビット線をプリチャージするように制御し、前回までにラッチ回路のノードの反転があると、ビット線にプリチャージ電流が流れないようにしている。すなわち、読み出し時には、電圧 $V_{B0}$ のみ $V_{cc}$ とし、電圧 $V_{B1}$ 、 $V_{B2}$ 、 $V_{B3}$ は接地レベルとする。それまでの読み出しでラッチ回路の反転が起きているときのみ、NMOSTランジスタ $N4$ 、 $N3$ が導通し、電圧 $V_{B0}$ によりビット線がプリチャージされてデータの読み出しが行なわれ、ラッチ回路に読み出しデータが設定される。それまでの読み出しでラッチ回路の反転が起きていると、ビット線のプリチャージが行なわれなくなり、それまでのデータが保持される。

【0228】このようにすると、一度ラッチ回路に設定されたデータを保護するような回路が不要になるため、読み出し時の回路規模が著しく削減される。

【0229】

【発明の実施の形態】この発明の実施の形態について、以下の順序で、図面を参照して説明する。

【0230】1. 第1の実施の形態

- 1-1. 第1の実施の形態の全体構成
- 1-2. 第1の実施の形態の書き込み時の動作
- 1-3. 第1の実施の形態のペリファイ読み出し時の動作
- 1-4. 第1の実施の形態の読み出し時の動作
2. 第2の実施の形態
  - 2-1. 第2の実施の形態の全体構成
  - 2-2. 第2の実施の形態の書き込み時の動作
  - 2-3. 第2の実施の形態のペリファイ読み出し時の動作
  - 2-4. 第2の実施の形態の読み出し時の動作
3. 第3の実施の形態
  - 3-1. 第3の実施の形態の全体構成
  - 3-2. 第3の実施の形態の書き込み時の動作
  - 3-3. 第3の実施の形態のペリファイ読み出し時の動作

【0231】3-4. 第3の実施の形態の読み出し時の動作。

【0232】4. 変形例

1. 第1の実施の形態  
図1は、この発明に係わる不揮発性半導体記憶装置の第1の実施形態を示すものである。この不揮発性半導体記憶装置は、記憶多値レベルが4値に対応したものであ

る。

【0233】1-1. 第1の実施の形態の全体構成  
図1に示すように、この発明が適用された不揮発性半導体記憶装置は、メモリアレイ21と、ビット線電圧発生回路22と、読み出し/ペリファイ制御回路23とにより構成される。

【0234】メモリアレイ21は、図1に示すように、夫々メモリセルが共通のワード線 $WL0 \sim WL15$ に接続されたメモリストリング $a0$ 、 $a1$ 、…をマトリクス状に配列した構成とされる。同一のワード線 $WL0 \sim WL15$ に接続されたメモリセルによりページが構成される。

【0235】メモリストリング $a0$ 、 $a1$ は、フローティングゲートを有する不揮発性半導体記憶装置からなるメモリセルトランジスタ $mT0A \sim mT15A$ 、 $mT0B \sim mT15B$ が直列に接続されたNANDストリングからなる。このNANDストリングのメモリセルトランジスタ $mT15A$ 、 $mT15B$ のドレインが選択ゲート $sG1A$ 、 $sG1B$ を夫々介してビット線 $BL0$ 、 $BL1$ に接続され、メモリセルトランジスタ $mT0A$ 、 $mT0B$ のソースが選択ゲート $sG2A$ 、 $sG2B$ を夫々介して基準電位線 $SL$ に接続される。選択ゲート $sG1A$ 、 $sG1B$ のゲートは、選択信号供給線 $DSG$ に共通に接続される。選択ゲート $sG2A$ 、 $sG2B$ のゲートは、選択信号供給線 $SSG$ に共通に接続される。同一行のメモリセルの制御ゲートが共通のワード線 $WL0$ 、 $WL1$ 、…に接続される。

【0236】書き込み時には、例えば20Vの電圧が選択されたメモリセルのワード線に印加され、4値の多値データがページ単位でメモリセルに書き込まれる。このとき、選択ゲート $sG1A$ 、 $sG1B$ は導通され、選択されたメモリセル以外のワード線にはバス電圧が与えられ、選択ゲート $sG2A$ 、 $sG2B$ は非導通とされる。

【0237】メモリセルトランジスタには、図2Aに示すような、4値のデータ記録が行なわれる。図2Aに示すように、書き込み時には、書き込みデータ“00”～“11”の4値に応じて、そのメモリセルのしきい値が、夫々、分布「3」～分布「0」内になるように、各メモリセルに対して書き込みが行なわれる。

【0238】このとき、ペリファイ電圧 $V_{VF3} \sim V_{VF1}$ によりペリファイ動作が行なわれて、夫々のメモリセルのしきい値が各データに対応する分布「3」～分布「0」内となるように制御される。読み出し時には、読み出し電圧 $V_{RD3} \sim V_{RD1}$ により、メモリセルのしきい値が検出されて、読み出しが行なわれる。

【0239】ペリファイ時及び読み出し時には、選択されたメモリセルのワード線には、ペリファイ電圧 $V_{VF3} \sim V_{VF1}$ 及び読み出し電圧 $V_{RD3} \sim V_{RD1}$ が与えられ、それ以外のメモリセルは導通状態とされる。また、選択ゲート $sG1A$ 、 $sG1B$ 及び選択ゲート $sG2A$ 、 $s$

G2Bは導通状態とされる。そして、このとき、メモリセルに電流が流れるかどうかにより、メモリセルのしきい値がペリファイ電圧VVF3～VVF1及び読み出し電圧VRD3～VRD1を越えているかどうか判断されて、ペリファイ及び読み出しが行なわれる。

【0240】図1において、ビット線電圧発生回路22は、NMOSTランジスタn1～n8及びインバータの入出力同士を結合してなるラッチ回路LQ2、LQ1により構成される。また、ビット線電圧発生回路22からは、電圧VB0、VB1、VB2の供給ラインが導出される。

【0241】ビット線電圧発生回路22により、書き込み時に、書き込みデータに応じたビット線電圧が発生され、メモリアレイ21のメモリセルに与えられる。また、ペリファイ時には、ビット線電圧発生回路22のラッチ回路LQ2、LQ1の記憶ノードQ2、Q1は、メモリアレイ21のメモリセルに書き込みが十分に行なわれると、“11”に設定される。読み出し時には、メモリアレイ21のメモリセルのしきい値が検出されてデータの読み出しが行なわれる。この時、ラッチ回路LQ1、LQ2の記憶ノードQ2、Q1には、読み出されたデータが格納されていく。

【0242】読み出し／ペリファイ制御回路23は、NMOSTランジスタn9～n14から構成される。この読み出し／ペリファイ制御回路23は、読み出し時又はペリファイ時に、ラッチ回路LQ2、LQ1の状態を制御するものである。読み出し／ペリファイ制御回路23からは、信号φLAT1、φLAT2の供給ラインが導出され、パルス状の信号が供給される。読み出し／ペリファイ制御回路23のNMOSTランジスタn9、n10のゲート電極は、ノードSAに接続されている。ノードSAは、メモリアレイ21のメモリセルのしきい値を検出するためのノードとなる。すなわち、後に説明するように、メモリセルのしきい値がワード線電圧より大きいと、セルに電流が流れないことにより、ノードSAは電源電圧Vcc（例えば、3.3V）に保持され、メモリセルのしきい値がワード線電圧より小さいと、ビット線電圧と略等しい電圧に降下する。このノードSAにより、NMOSTランジスタn9、n10が制御されて、読み出し／ペリファイ制御回路23の動作が設定される。

【0243】ノードSAとビット線BL0との間には、高耐圧のNMOSTランジスタH3が接続されている。また、ノードSAとビット線BL1との間に、高耐圧のNMOSTランジスタH4が接続されている。NMOSTランジスタH3のゲート電極にアドレスコード信号AnBが供給される。NMOSTランジスタH4のゲート電極にアドレスコード信号AnNが供給される。なお、電源電圧Vccの供給ラインとビット線BL0との間に、高耐圧のNMOSTランジスタH1が接続されてい

る。また、電源電圧Vccの供給ラインとビット線BL1との間に、高耐圧のNMOSTランジスタH2が接続されている。NMOSTランジスタH1のゲート電極に制御信号INH Bが供給され、NMOSTランジスタH2のゲート電極に制御信号INH Nが供給される。

【0244】ノードSAと接地ライン（GND）との間に、NMOSTランジスタn2が接続される。ノードSAと電源電圧Vccの供給ラインとの間に、PMOSTランジスタp1が接続される。NMOSTランジスタn2のゲート電極には、リセット信号RST1が供給される。PMOSTランジスタp1のゲート電極には、信号Vrefが供給される。

【0245】ノードSAとビット線電圧発生回路22との間には、NMOSTランジスタn1が設けられている。すなわち、NMOSTランジスタn1のドレインがノードSAに接続される。NMOSTランジスタn1のソースがNMOSTランジスタn3、n5、n7のドレインに接続される。NMOSTランジスタn1のゲート電極には、制御信号PGM\_RVPCが供給される。

【0246】NMOSTランジスタn1のソースと電圧VB0の供給ラインとの間に、NMOSTランジスタn3、n4が直列に接続される。NMOSTランジスタn1のソースと電圧VB1の供給ラインとの間に、NMOSTランジスタn5、n6が直列に接続される。NMOSTランジスタn1のソースと電圧VB2の供給ラインとの間に、NMOSTランジスタn7、n8が直列に接続される。

【0247】ラッチ回路LQ2、LQ1は、夫々、記憶ノードQ2、Q1と、その反転記憶ノード/Q2、/Q1を有している。なお、/は反転を示すバーを意味している。

【0248】ラッチ回路LQ2の反転記憶ノード/Q2は、NMOSTランジスタn4、n6のゲート電極に接続される。ラッチ回路LQ2の記憶ノードQ2は、NMOSTランジスタn8のゲート電極に接続される。

【0249】ラッチ回路LQ1の反転記憶ノード/Q1は、NMOSTランジスタn3、n7のゲート電極に接続される。ラッチ回路LQ1の記憶ノードQ1はNMOSTランジスタn5のゲート電極に接続される。

【0250】また、ラッチ回路LQ2の記憶ノードQ2、ラッチ回路LQ1の記憶ノードQ1の夫々と接地ラインとの間に、NMOSTランジスタn11、n12が夫々接続される。NMOSTランジスタn11、n12のゲート電極がリセット信号RST2の供給ラインに接続される。

【0251】読み出し／ペリファイ制御回路23において、NMOSTランジスタn9、n10のゲート電極は、ノードSAに接続される。NMOSTランジスタn9のドレインがラッチ回路LQ2の反転記憶ノード/Q2に接続される。NMOSTランジスタn10のドレイ

ンがラッチ回路LQ1の反転記憶ノード/Q1に接続される。

【0252】NMOSTランジスタn9のソースと接地ラインとの間に、NMOSTランジスタn13が接続される。NMOSTランジスタn10のソースと接地ラインとの間に、NMOSTランジスタn14が接続される。

【0253】読み出し／ペリファイ制御回路23からは、信号φLAT1、φLAT2の供給ラインが導出される。NMOSTランジスタn13のゲート電極が信号φLAT1の供給ラインに接続される。NMOSTランジスタn14のゲート電極が信号φLAT2の供給ラインに接続される。

【0254】ラッチ回路LQ2の記憶ノードQ2が図示せずとも所定のトランジスタを介してデータバスラインに接続される。また、ラッチ回路LQ1の記憶ノードQ1が図示せずとも所定のトランジスタを介してデータバスラインに接続される。

【0255】1-2. 第1の実施の形態の書き込み時の動作

次に、この発明の第1の実施の形態の書き込み動作について、図3のタイミングチャートに関連付けて説明する。スタンバイ時には、信号PGM\_RVPCがローレベルに設定され、NMOSTランジスタn1が非導通状態に保持され、ビット線BL0、BL1（図3ではBLn、BLn+1として示されている）がビット線電圧発生回路22から切り離されている。

【0256】そして、信号RST1がハイレベルに設定され、信号AnB、AnNが（ $V_{cc}-V_{th}$ ）に設定され、ビット線BL0、BL1が接地レベルに設定される。なお、このとき、信号INHb、INHnのそれぞれがローレベルに設定されている。

【0257】この状態で書き込みが起動された場合、所定のトランジスタを介して書き込みデータがラッチ回路LQ2、LQ1に取り込まれて保持される。

【0258】その後、信号RST1がローレベルに切り換えられ、ビット線BL0、BL1が接地ラインから切り離される。そして、信号AnB、AnNが $V_{cc}$ 以上のハイレベル（例えば読み出し時のバス電圧）に設定されるとともに、信号Vrefがローレベルとされ、PMOSTランジスタp1が導通状態に保持される。これにより、全ビット線BL0、BL1が電源電圧 $V_{cc}$ に充電される。

【0259】このとき、ラッチデータに影響がないように、読み出し／ペリファイを制御するための信号φLAT1、φLAT2が接地レベルに設定される。また、メモリセルのドレイン側の選択ゲートのゲート電極に接続された選択信号供給線DSGが電源電圧 $V_{cc}$ に設定される。

【0260】書き込み時には、信号Vrefをハイレベル

にしてプリチャージを切り、アドレス信号で選択されない方のアドレス、例えばAnNが接地レベル、信号INHnがハイレベルとなり、PGM\_RVPCがハイレベルに設定される。そして、電圧VB2が最も高い電圧となり、電圧VB1が次に高い電圧となり、電圧VB0は接地レベルになるように、すなわち、（ $VB2 > VB1 > VB0 = 0$ ）の関係となるように設定される。

【0261】書き込みデータが“00”の場合には、ラッチ回路LQ2及びLQ1の反転ノード/Q2及び/Q1はハイレベルである。このため、NMOSTランジスタn3、n4が導通状態となり、ビット線BL0は、電圧VB0となり、接地レベルに設定される。

【0262】書き込みデータが“01”の場合には、NMOSTランジスタn5、n6が導通状態となり、ビット線BL0は、電圧VB1に設定される。

【0263】書き込みデータが“10”の場合には、NMOSTランジスタn7、n8が導通状態となり、ビット線BL0は、電圧VB2に設定される。

【0264】書き込みデータが“11”の場合には、電圧VB0～VB2からの何れのバスもビット線BL0と遮断されるため、ビット線BL0の電圧は、 $V_{cc}$ レベルに保持される。

【0265】以上のプロセスにより、選択ビット線BL0が書き込みデータに応じた電圧に設定された後、選択されたワード線WLが書き込み電圧VPGMに設定され、非選択のワード線が書き込みバス電圧VPASSに設定されて、書き込みが行なわれる。

【0266】上述のように、この発明の実施の形態では、記録データに応じて、ビット線電圧が変えられる。このように、記録データに応じてビット線電圧を設定すると書き込みデータに応じてセルにかかる電界を設定することができ、記録時間の短縮が図られる。

【0267】1-3. 第1の実施の形態のペリファイ時の動作

次に、この発明の第1の実施の形態のペリファイ読み出し動作について、図4のタイミングチャートに関連付けて説明する。ペリファイ読み出し動作においては、“00”、“01”、“10”の書き込みチェックがなされる。

【0268】ペリファイ読み出し動作は、ワード線電圧をVVF3→VVF2→VVF1に順次下げて行われる（図2A参照）。ペリファイ読み出し時には、ワード線電圧に応じて、電圧源VB0～VB2は、図2Bに示すように設定される。

【0269】すなわち、ワード線電圧をVVF3に設定している間では、電圧VB0が電源電圧 $V_{cc}$ に設定され、他の電圧VB1、VB2は接地レベル（GND）に設定される。

【0270】ワード線電圧をVVF2に設定している間では、電圧VB1が電源電圧 $V_{cc}$ に設定され、他の電圧V

B0、VB2は接地レベル(GND)に設定される。

【0271】ワード線電圧をVVF1に設定している間では、電圧VB2が電源電圧Vccに設定され、他の電圧VB0、VB1は接地レベル(GND)に設定される。

【0272】ペリファイに先立って、一定期間、リセット信号RST1がハイレベル、AnBおよびAnNがP5V(5~6Vの電圧)に設定され、全ビット線BL0、BL1が接地レベルになる。

【0273】それから、リセット信号RST1がローレベルに戻された後、アドレス"An"で選択されていない方、例えばAnNが接地レベルとなり、ビット線BL1がビット線電圧発生回路22のラッチ回路から切り離される。そして、ビット線をクランプするために、制御信号AnBがVAnB( $V_{AnB} = V_{cc} - V_{th}$ )に設定される。また、制御信号Vrefはビット線のリーク補償電流( $< 1 \mu A$ )を流すだけの電圧に設定される。

【0274】まず、ワード線電圧をVVF3に設定したときについて説明する。ワード線電圧がVVF3に設定されている間では、電圧VB0のみ電源電圧Vccに設定され、他の電圧VB1、VB2は接地レベルに設定されている。そして、一定期間、制御信号PGM\_RVPCが図4に示すタイミングで電源電圧Vccレベルに設定され、NMOSTランジスタn1が導通する。

【0275】ここで、NMOSTランジスタn3及びn4が導通状態にあれば、電圧VB0からの電源Vccにより、ビット線は( $V_{AnB} - V_{th}$ )に充電されていき、充電後、NMOSTランジスタH3はカットオフし、ノードSAは、PMOSTランジスタp1によるリーク補償電流によってVccに充電される。NMOSTランジスタn3及びn4が非導通状態なら、ビット線は充電されず、接地レベルである。また、他の電圧VB1、VB2は接地レベルなので、電圧VB0からの経路以外の経路による充電は行なわれない。

【0276】このように、ワード線電圧をVVF3に設定して、ペリファイが行なわれるときには、NMOSTランジスタn3及びn4が導通状態のときにのみ、ビット線が充電される。NMOSTランジスタn3及びn4が導通状態となるのは、ラッチ回路LQ2の反転ノード/Q2がハイレベル、ラッチ回路LQ1の反転ノード/Q1がハイレベルとなるときだけであり、書き込みデータが"00"のときである。

【0277】このことから、書き込みデータ"00"のときにのみ、ビット線が充電され、他の書き込みデータのときには、ノードSAは接地レベルになり、ペリファイの対象外となる。

【0278】この状態で、制御信号PGM\_RVPCが接地レベルに戻され、選択ビット線BL0がビット線電圧発生回路22から切り離される。

【0279】ここで、メモリセルのしきい値電圧Vthがワード線電圧VVF3より大きい( $V_{th} > VVF3$ )場合に

は、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧Vccに保持される。このとき、当然、NMOSTランジスタn9、n10のゲート電極はVccレベルである。

【0280】一方、メモリセルのしきい値Vthがワード線電圧VVF3より小さい( $V_{th} < VVF3$ )場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタH3がオンして、電荷の再配分が起こり、ノードSAの電位はビット線電圧と略等しい( $V_{AnB} - V_{th}$ )となる。このとき、NMOSTランジスタn9、n10は完全に導通することはできない。

【0281】そして、一定時間経過後、パルス状の信号である信号φLAT1、φLAT2が図4に示すタイミングでハイレベルに設定される。

【0282】書き込みデータが"00"で、メモリセルのしきい値Vthがワード線電圧VVF3を越えている( $V_{th} > VVF3$ )ときには、信号φLAT1がハイレベルの期間では、NMOSTランジスタn13が導通状態に切り換わる。このとき、NMOSTランジスタn9のゲート電極がVccレベルとされているため、NMOSTランジスタn9も導通状態となり、ラッチ回路LQ2の反転ノード/Q2がローレベルになり、ラッチ回路LQ2のノードQ2がハイレベルに反転する。

【0283】信号φLAT2がハイレベルの期間では、NMOSTランジスタn14が導通状態に切り換わる。このとき、NMOSTランジスタn10のゲート電極がVccレベルとされているため、NMOSTランジスタn10も導通状態となり、ラッチ回路LQ1の反転ノード/Q1がローレベルになり、ラッチ回路LQ1のノードQ1がハイレベルに反転する。

【0284】以上により、ワード線電圧をVVF3に設定したときには、書き込みデータが"00"のメモリセルで、そのしきい値電圧Vthがワード線電圧VVF3より大きい( $V_{th} > VVF3$ )場合、ラッチ回路LQ2、LQ1のラッチデータは"11"に反転し、以後、再書き込みではビット線は電源電圧Vcc、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0285】一方、書き込みデータが"00"でメモリセルのしきい値Vthがワード線電圧VVF3より小さい( $V_{th} < VVF3$ )場合には、信号φLAT1がハイレベルの期間では、NMOSTランジスタn13が導通状態になるが、NMOSTランジスタn9が完全に導通しないため、ラッチ回路LQ2を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ2のノードの反転は起こらない。

【0286】信号φLAT2がハイレベルの期間では、NMOSTランジスタn14は導通状態になるが、NMOSTランジスタn10が完全に導通しないため、ラッチ回路LQ1を反転させるのに十分な電流が流せない。

このため、ラッチ回路LQ1のノードの反転は起こらない。

【0287】以上により、ワード線電圧をVVF3に設定したときには、書き込みデータが“00”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF3より小さい( $V_{th} < VVF3$ )場合、ラッチ回路LQ2、LQ1のラッチデータは“00”のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0288】次に、ワード線電圧をVVF2に設定したときについて説明する。ワード線電圧がVVF2に設定されている間では、電圧VB1のみ電源電圧Vccに設定され、他の電圧VB0、VB2は接地レベルに設定されている。そして、一定期間、制御信号PGM\_RVPCが図4に示すタイミングで電源電圧Vccレベルに設定され、NMOSTランジスタn1が導通する。

【0289】ここで、NMOSTランジスタn5及びn6が導通状態にあれば、電圧VB1からの電源Vccにより、ビット線は( $V_{AnB} - V_{th}$ )に充電されていき、充電後、NチャンネルNMOSTランジスタH3はカットオフし、ノードSAはPMOSTランジスタp1のリーク補償電流によりVccに充電される。NMOSTランジスタn5及びn6が非導通状態なら、ビット線は充電されず、接地レベルである。また、他の電圧VB0、VB2は接地レベルなので、電圧VB1からの経路以外の経路による充電は行なわれない。

【0290】このように、ワード線電圧をVVF2に設定してベリファイが行なわれるときには、制御信号PGM\_RVPCを電源電圧Vccレベルに設定すると、NMOSTランジスタn5及びn6が導通状態のときにのみ、ビット線が充電される。

【0291】NMOSTランジスタn5及びn6が導通状態となるのは、ラッチ回路LQ2の反転ノード/Q2がハイレベル、ラッチ回路LQ1のノードQ1がハイレベルとなるときだけであり、書き込みデータが“01”のときである。

【0292】このことから、ワード線電圧をVVF2に設定して、書き込みデータが“01”のベリファイを行なうときには、書き込みデータ“01”のときにのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ベリファイの対象外となる。

【0293】この状態で、ワード線電圧をVVF2に設定して、ベリファイ読み出しが行なわれる。ここで、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧をVVF2より大きい( $V_{th} > VVF2$ )場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧Vccに保持され、当然、NMOSTランジスタn9、n10のゲート電極はVccレベルである。

【0294】一方、メモリセルのしきい値電圧 $V_{th}$ がワ

ード線電圧VVF2より小さい( $V_{th} < VVF2$ )場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタH3がオンして、電荷の再配分が起こり、ノードSAの電位はビット線電圧と略等しい( $V_{AnB} - V_{th}$ )となる。このとき、NMOSTランジスタn9、n10は完全に導通することはできない。

【0295】そして、一定時間経過後、パルス状の信号である信号φLAT1が図4に示すタイミングでハイレベルに設定される。

【0296】書き込みデータが“01”でメモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF2より大きい( $V_{th} > VVF2$ )場合には、信号φLAT1がハイレベルの期間では、NMOSTランジスタn13が導通状態に切り換わる。このとき、NMOSTランジスタn9のゲート電極がVccレベルとされているため、NMOSTランジスタn9も導通状態となり、ラッチ回路LQ2の反転ノード/Q2がローレベルになり、ラッチ回路LQ2のノードQ2がハイレベルに反転する。

【0297】以上により、ワード線電圧をVVF2に設定したときには、書き込みデータが“01”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF2より大きい( $V_{th} > VVF2$ )場合、ラッチ回路LQ2、LQ1のラッチデータは“11”に反転し、以後、再書き込みではビット線は電源電圧Vcc、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0298】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF2より小さい( $V_{th} < VVF2$ )場合には、信号φLAT1がハイレベルの期間では、NMOSTランジスタn13が導通状態になるが、NMOSTランジスタn9が完全に導通しないため、ラッチ回路LQ2を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ2のノードの反転は起こらない。

【0299】以上により、ワード線電圧をVVF2に設定したときには、書き込みデータが“01”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF2より小さい( $V_{th} < VVF2$ )場合、ラッチ回路LQ2、LQ1のラッチデータは“01”のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0300】次に、ワード線電圧をVVF1に設定したときについて説明する。ワード線電圧がVVF1に設定されている間では、電圧VB2のみ電源電圧Vccに設定され、他の電圧VB0、VB1は接地レベルに設定されている。そして、一定期間、制御信号PGM\_RVPCが図4に示すタイミングで電源電圧Vccレベルに設定され、NMOSTランジスタn1が導通する。

【0301】ここで、NMOSTランジスタn7及びn8が導通状態にあれば、電圧VB2からの電源Vccにより、ビット線は( $V_{AnB} - V_{th}$ )に充電されていき、

充電後、NチャンネルNMOSTランジスタH3はカットオフし、ノードSAはPMOSTランジスタp1のリーク補償電流によりVccに充電される。NMOSTランジスタn7及びn8が非導通状態なら、ビット線は充電されず、接地レベルである。また、他の電圧VB0、VB1は接地レベルなので、電圧VB2からの経路以外の経路による充電は行なわれない。

【0302】このように、ワード線電圧をVVF1に設定してペリファイが行なわれるときには、制御信号PGM\_RVPCを電源電圧Vccレベルに設定すると、NMOSTランジスタn7及びn8が導通状態のときにのみ、ビット線が充電される。

【0303】NMOSTランジスタn7及びn8が導通状態となるのは、ラッチ回路LQ2のノードQ2がハイレベル、ラッチ回路LQ1の反転ノード/Q1がハイレベルとなるときだけであり、書き込みデータが"10"のときである。

【0304】このことから、ワード線電圧をVVF1に設定して、書き込みデータが"10"のペリファイを行なうときには、書き込みデータ"10"のときにのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ペリファイの対象外となる。

【0305】この状態で、ワード線電圧をVVF1に設定して、ペリファイ読み出しが行なわれる。ここで、メモリセルのしきい値電圧Vthがワード線電圧VVF1より大きい( $V_{th} > VVF1$ )場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧Vccに保持される。このとき、当然、NMOSTランジスタn9、n10のゲート電極はVccレベルである。

【0306】一方、メモリセルのしきい値電圧Vthがワード線電圧VVF1より小さい( $V_{th} < VVF1$ )場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタH3がオンして、電荷の再配分が起こり、ノードSAの電位はビット線電圧と略等しい( $V_{AnB} - V_{th}'$ )となる。このとき、NMOSTランジスタn9、n10は完全に導通することはできない。

【0307】そして、一定時間経過後、パルス状の信号である信号φLAT2が図4に示すタイミングでハイレベルに設定される。

【0308】書き込みデータが"10"でメモリセルのしきい値電圧Vthがワード線電圧VVF1より大きい( $V_{th} > VVF1$ )場合には、信号φLAT2がハイレベルの期間では、NMOSTランジスタn14が導通状態に切り換わる。このとき、NMOSTランジスタn10のゲート電極がVccレベルとされているため、NMOSTランジスタn10も導通状態となり、ラッチ回路LQ1の反転ノード/Q1がローレベルになり、ラッチ回路LQ

1のノードQ1がハイレベルに反転する。

【0309】以上により、ワード線電圧をVVF1に設定したときには、書き込みデータが"10"のメモリセルで、そのしきい値電圧Vthがワード線電圧VVF1より大きい( $V_{th} > VVF1$ )場合、ラッチ回路LQ2、LQ1のラッチデータは"11"に反転し、以後、再書き込みではビット線は電源電圧Vcc、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0310】一方、メモリセルのしきい値電圧Vthがワード線電圧VVF1より小さい( $V_{th} < VVF1$ )場合には、信号φLAT2がハイレベルの期間では、NMOSTランジスタn14が導通状態になるが、NMOSTランジスタn10が完全に導通しないため、ラッチ回路LQ1を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ1のノードの反転は起こらない。

【0311】以上により、ワード線電圧をVVF1に設定したときには、書き込みデータが"10"のメモリセルで、そのしきい値電圧Vthがワード線電圧VVF1より小さい( $V_{th} < VVF1$ )場合、ラッチ回路LQ2、LQ1のラッチデータは"10"のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0312】上述のように、この発明の第1の実施の形態では、ペリファイ時には、電圧VB0、VB1、VB2のうちの1つを電源電圧Vccとし、他の電圧を接地レベルとし、書き込みデータに応じてNMOSTランジスタn3及びn4、n5及びn6、n7及びn8を制御して、電圧VB0、VB1、VB2のうちの1つからビット線の充電電流を流すようにすることで、他の書き込みデータをペリファイの対象外としている。すなわち、ワード線電圧VVF3のセルのペリファイ時には、電圧VB0を使うことで、"00"以外をペリファイの対象外とし、ワード線電圧VVF2のセルのペリファイ時には、電圧VB1を使うことで、"01"以外をペリファイの対象外とし、ワード線電圧VVF1のセルのペリファイ時には、電圧VB2を使うことで、"10"以外をペリファイの対象外としている。これにより、ペリファイ時の回路構成が簡便化されている。

【0313】1-4. 第1の実施の形態の読み出し時の動作

次に、この発明の第1の実施の形態の読み出し動作について、図5のタイミングチャートに関連付けて説明する。スタンバイ時には、制御信号AnB、AnNは( $V_{cc} - V_{th}$ )のレベルにあり、リセット信号RST1はハイレベルに設定され、全ビット線は接地レベルとなる。

【0314】この状態で読み出し動作が起動されると、リセット信号RST1がローレベルになり、ビット線は接地ラインから切り離される。そして、選択ビット線が例えば偶数ビット線の場合、AnBがP5Vレベル、AnNが接地レベルに設定され、奇数ビット線はラッチか

ら切り離され、制御信号  $A_n B$  は ( $V_{cc} - V_{th} (= V_{AnB})$ ) に保持され、制御信号  $V_{ref}$  にビット線のリークを補償する電流を流すための電圧が印加される。これと同時に、リセット信号  $RST2$  にハイレベルが設定され、NMOSTランジスタ  $n11$ 、 $n12$  が導通して、ラッチ回路  $LQ2$ 、 $LQ1$  のノード  $Q2$ 、 $Q1$  が全て「0」にリセットされる。

【0315】読み出し動作は、ワード線を  $VRD3 \rightarrow VRD2 \rightarrow VRD1$  に順次下げて行なわれる (図2A参照)。読み出し時には、図2Cに示すように、電圧  $VB0$  は  $V_{cc}$  レベル、電圧  $VB1$ 、電圧  $VB2$  は接地レベルに常に設定される。

【0316】まず、選択ワード線電圧が  $VRD3$  に設定され、制御信号  $PGM\_RVPC$  が電源電圧  $V_{cc}$  に設定され、NMOSTランジスタ  $n1$  が導通状態に設定される。

【0317】ここで、NMOSTランジスタ  $n4$ 、 $n3$  が導通状態にあれば、電圧  $VB0$  からの電流がNMOSTランジスタ  $n4$ 、 $n3$ 、 $n1$  を介して流れ、ビット線が充電される。読み出しの開始時には、ラッチ回路  $LQ2$ 、 $LQ1$  が全て「0」にリセットされているため、ラッチ回路  $LQ2$  の反転ノード/ $Q2$  は「1」、ラッチ回路  $LQ1$  の反転ノード/ $Q1$  は「1」である。したがって、この時、NMOSTランジスタ  $n4$ 、 $n3$  は導通状態である。

【0318】したがって、選択ワード線電圧が  $VRD3$  に設定され、制御信号  $PGM\_RVPC$  が電源電圧  $V_{cc}$  に設定されると、全ての偶数ビット線は ( $V_{AnB} - V_{th}$ ) に充電され、NMOSTランジスタ  $H3$  がカットオフすることにより、全てのノード  $SA$  はリーク補償電流により  $V_{cc}$  に充電される。その後、制御信号  $PGM\_RVPC$  が接地レベルに戻される。

【0319】ワード線電圧が  $VRD3$  での読み出しの結果、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $VRD3$  より大きい ( $V_{th} > VRD3$ ) 場合、セル電流が流れないことにより、ノード  $SA$  は電源電圧  $V_{cc}$  に保持される。このとき、NMOSTランジスタ  $n9$ 、 $n10$  が導通状態となる。

【0320】そして、一定時間経過後、パルス状の信号である信号  $\phi LAT1$ 、 $\phi LAT2$  が図5に示すタイミングでハイレベルに設定される。

【0321】信号  $\phi LAT1$  がハイレベルに設定されると、NMOSTランジスタ  $n13$  が導通状態に設定される。そして、NMOSTランジスタ  $n9$  のゲート電極が  $V_{cc}$  レベルとされているため、NMOSTランジスタ  $n9$  も導通し、ラッチ回路  $LQ2$  の反転ノード/ $Q2$  が「0」になり、ラッチ回路  $LQ2$  のノード  $Q2$  が「1」に反転する。

【0322】信号  $\phi LAT2$  がハイレベルに設定されると、NMOSTランジスタ  $n14$  が導通状態に設定され

る。そして、NMOSTランジスタ  $n10$  のゲート電極が  $V_{cc}$  レベルとされているため、NMOSTランジスタ  $n10$  も導通し、ラッチ回路  $LQ1$  の反転ノード/ $Q1$  が「0」になり、ラッチ回路  $LQ1$  のノード  $Q1$  が「1」に反転する。

【0323】以上により、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $VRD3$  より大きい ( $V_{th} > VRD3$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$  のラッチデータが“11”に反転する。なお、読み出しデータは反転しており、ラッチデータが“11”のときの読み出しデータは“00”である。

【0324】一方、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $VRD3$  以下 ( $V_{th} < VRD3$ ) であれば、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタ  $H3$  が導通状態となり、電荷の再配分が起こり、ノード  $SA$  の電圧はビット線電圧と略等しい ( $V_{AnB} - V_{th}'$ ) となる。このため、NMOSTランジスタ  $n9$ 、 $n10$  は完全に導通しない。

【0325】そして、一定時間経過後、パルス状の信号である信号  $\phi LAT1$ 、 $\phi LAT2$  が図4に示すタイミングでハイレベルに設定される。

【0326】信号  $\phi LAT1$  がハイレベルに設定されると、NMOSTランジスタ  $n13$  が導通状態に設定されるが、NMOSTランジスタ  $n9$  は完全に導通していない。したがって、ラッチ回路  $LQ2$  を反転させるための十分な電流を流すことはできず、ラッチ回路  $LQ2$  のノードの反転は生じない。

【0327】信号  $\phi LAT2$  がハイレベルに設定されると、NMOSTランジスタ  $n14$  が導通状態に設定されるが、NMOSTランジスタ  $n10$  は完全に導通していない。したがって、ラッチ回路  $LQ1$  を反転させるための十分な電流を流すことはできず、ラッチ回路  $LQ1$  のノードの反転は生じない。

【0328】次に、選択ワード線電圧が  $VRD2$  に設定され、制御信号  $PGM\_RVPC$  が電源電圧  $V_{cc}$  に設定され、NMOSTランジスタ  $n1$  が導通状態に設定される。

【0329】ここで、選択ワード線電圧が  $VRD3$  に設定して読み出しを行なったときにラッチ回路  $LQ1$  及び  $LQ2$  のノードの反転が起こっていなければ、ラッチ回路  $LQ1$ 、 $LQ2$  は初期状態の“00”であるから、NMOSTランジスタ  $n3$ 、 $n4$  が導通している。このため、制御信号  $PGM\_RVPC$  が電源電圧  $V_{cc}$  に設定されると、電圧  $VB0$  からの電流がNMOSTランジスタ  $n4$ 、 $n3$ 、 $n1$  を介して流れ、メモリセルのしきい値電圧  $V_{th}$  が  $VRD3$  より低いセルにつながる全ての偶数ビット線は ( $V_{AnB} - V_{th}'$ ) に充電される。

【0330】これに対して、選択ワード線電圧が  $VRD3$  に設定して読み出しを行なったときにラッチ回路  $LQ1$  及び  $LQ2$  のノードの反転が起こっていれば、NMOS

トランジスタ  $n4$ 、 $n3$  が非導通状態となり、電圧源  $V_{B0}$  から切り離され、なおかつ、電圧源  $V_{B1}$ 、 $V_{B2}$  とも接続されず、偶数ビット線は  $V_{cc}$  レベルを保持したままフローティングとなる。この状態では、すでに反転しているラッチ回路  $LQ1$  及び  $LQ2$  のラッチデータには影響がない。

【0331】その後、制御信号  $PGM\_RVPC$  が接地レベルに戻される。この時、前回迄にノードの反転が起きていないセルにつながる偶数ビット線は ( $V_{AnB} - V_{th}$ ) に充電され、NMOSTランジスタ  $H3$  がカットオフすることにより、全てのノード  $SA$  は  $V_{cc}$  に充電される。

【0332】ここで、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $VRD2$  より大きい ( $V_{th} > VRD2$ ) 場合、セル電流が流れないことにより、ノード  $SA$  は電源電圧  $V_{cc}$  に保持される。このとき、NMOSTランジスタ  $n9$ 、 $n10$  は導通状態となる。

【0333】そして、一定時間経過後、パルス状の信号である信号  $\phi LAT1$  が図5に示すタイミングでハイレベルに設定される。

【0334】信号  $\phi LAT1$  がハイレベルに設定されると、NMOSTランジスタ  $n13$  が導通状態に設定される。このとき、NMOSTランジスタ  $n9$  が導通状態であるため、ラッチ回路  $LQ2$  の反転ノード  $Q2$  が「0」になり、ラッチ回路  $LQ2$  のノード  $Q2$  が「1」に反転する。

【0335】以上により、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $VRD2$  より大きい ( $V_{th} > VRD2$ ) 場合、前回迄にラッチの反転が起きていなければ、ラッチ回路  $LQ2$ 、 $LQ1$  のラッチデータが「10」に反転する。前回迄にラッチの反転が起きてラッチデータが「11」の場合には、そのデータは保持される。なお、読み出しデータは反転しており、ラッチデータが「10」のときの読み出しデータは「01」である。

【0336】メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $VRD2$  より小さい ( $V_{th} < VRD2$ ) 場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタ  $H3$  が導通状態となり、電荷の再配分が起こり、ノード  $SA$  の電圧はビット線電圧と略等しい ( $V_{AnB} - V_{th}$ ) となる。このため、NMOSTランジスタ  $n9$ 、 $n10$  は完全に導通しない。

【0337】そして、一定時間経過後、パルス状の信号である信号  $\phi LAT1$  が図5に示すタイミングでハイレベルに設定される。

【0338】信号  $\phi LAT1$  がハイレベルに設定されると、NMOSTランジスタ  $n13$  が導通状態に設定されるが、NMOSTランジスタ  $n9$  は完全に導通していない。したがって、ラッチ回路  $LQ2$  を反転させるための十分な電流を流すことはできず、ラッチ回路  $LQ2$  のノードの反転は生じない。

【0339】次に、選択ワード線電圧が  $VRD1$  に設定され、制御信号  $PGM\_RVPC$  が電源電圧  $V_{cc}$  に設定され、NMOSTランジスタ  $n1$  が導通状態に設定される。

【0340】ここで、前回までの読み出しで、ラッチ回路  $LQ1$  及び  $LQ2$  のノードの反転が起きていなければ、NMOSTランジスタ  $n4$ 、 $n3$  が導通状態となり、電圧  $V_{B0}$  によりビット線が充電される。なお、前回までの読み出しで、ラッチ回路  $LQ1$  及び  $LQ2$  のノードの反転が起きていれば、NMOSTランジスタ  $n4$ 、 $n3$  が非導通状態となり、電圧源  $V_{B0}$  から切り離され、なおかつ、電圧源  $V_{B1}$ 、 $V_{B2}$  とも接続されず、偶数ビット線は  $V_{cc}$  レベルを保持したままフローティングとなる。この状態では、すでに反転しているラッチ回路  $LQ1$  及び  $LQ2$  のラッチデータには影響がない。また、前回までの読み出しで、ラッチ回路  $LQ2$  側のノードのみに反転が起きていれば、NMOSTランジスタ  $n4$  が非導通状態となって電圧源  $V_{B0}$  から切り離され、NMOSTランジスタ  $n7$ 、 $n8$  が導通して電圧源  $V_{B2}$  に接続される。この場合には、電圧  $V_{B1}$  および  $V_{B2}$  は接地レベルなので、ノード  $SA$  は接地レベルとなり、読み出し動作の対象外となる。

【0341】その後、制御信号  $PGM\_RVPC$  が接地レベルに戻され、この時、読み出し動作の対象となる偶数ビット線は ( $V_{AnB} - V_{th}$ ) に充電され、NMOSTランジスタ  $H3$  がカットオフすることにより、読み出し動作の対象となるノード  $SA$  は  $V_{cc}$  に充電される。

【0342】ここで、ワード線電圧が  $VRD1$  での読み出しの結果、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $VRD1$  より大きい ( $V_{th} > VRD1$ ) 場合、セル電流が流れないことにより、ノード  $SA$  は電源電圧  $V_{cc}$  に保持され、NMOSTランジスタ  $n9$ 、 $n10$  が導通状態となる。

【0343】そして、一定時間経過後、パルス状の信号である信号  $\phi LAT2$  が図5に示すタイミングでハイレベルに設定される。

【0344】信号  $\phi LAT2$  がハイレベルに設定されると、NMOSTランジスタ  $n14$  が導通状態に設定される。このとき、NMOSTランジスタ  $n10$  が導通状態であるため、ラッチ回路  $LQ1$  の反転ノード  $Q1$  が「0」になり、ラッチ回路  $LQ1$  のノード  $Q1$  が「1」に反転する。

【0345】以上により、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $VRD1$  より大きい ( $V_{th} > VRD1$ ) 場合、前回迄にラッチの反転が起きていなければ、ラッチ回路  $LQ2$ 、 $LQ1$  のラッチデータが「01」に反転する。前回迄にラッチの反転が起きていれば、そのデータは保持される。読み出しデータは反転しており、ラッチデータが「01」のときの読み出しデータは「10」である。

【0346】メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $VRD1$ 以下( $V_{th} < VRD1$ )であれば、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタ $H3$ が導通状態となり、電荷の再配分が起こり、ノード $SA$ の電圧はビット線電圧と略等しい( $V_{AnB} - V_{th}$ )となる。このため、NMOSTランジスタ $n9$ 、 $n10$ は完全に導通しない。

【0347】そして、一定時間経過後、パルス状の信号である信号 $\phi LAT2$ が図5に示すタイミングでハイレベルに設定される。

【0348】信号 $\phi LAT2$ がハイレベルに設定されると、NMOSTランジスタ $n14$ が導通状態に設定されるが、NMOSTランジスタ $n10$ は完全に導通していない。したがって、ラッチ回路 $LQ1$ を反転させるための十分な電流を流すことはできず、ラッチ回路 $LQ1$ のノードの反転は生じない。

【0349】上述のように、この第1の実施の形態では、読み出し時には、前回までの読み出しでラッチ回路のデータの反転が生じている場合には、読み出しの対象外とし、前回までの読み出しでラッチ回路のデータの反転が生じていない場合のみ、読み出しを行なっている。このような構成とすることで、回路規模の縮小が図られている。

【0350】なお、選択ワード線電圧を $VRD3 \sim VRD1$ に設定して、何れも、ラッチの反転が生じなければ、ラッチ回路 $LQ2$ 、 $LQ1$ のデータは“00”のままである。ラッチデータが“00”のとき、読み出しデータは、“11”である。

【0351】2. 第2の実施の形態

図6は、この発明に係わる不揮発性半導体記憶装置の第2の実施形態を示すものである。この不揮発性半導体記憶装置は、記憶多値レベルが8値に対応したものである。

【0352】2-1. 第2の実施の形態の全体構成

図6に示すように、この発明が適用された不揮発性半導体記憶装置は、メモリアレイ11と、ビット線電圧発生回路12と、読み出し/ベリファイ制御回路13とにより構成される。

【0353】メモリアレイ11は、図7に示すように、夫々メモリセルが共通のワード線 $WL0 \sim WL15$ に接続されたメモリストリング $A0$ 、 $A1$ 、…をマトリクス状に配列した構成とされる。同一のワード線 $WL0 \sim WL15$ に接続されたメモリセルによりページが構成される。

【0354】メモリストリング $A0$ 、 $A1$ は、フローティングゲートを有する不揮発性半導体記憶装置からなるメモリセルトランジスタ $MT0A \sim MT15A$ 、 $MT0B \sim MT15B$ が直列に接続されたNANDストリングからなる。このNANDストリングのメモリセルトランジスタ $MT0A$ のドレインが選択ゲート $SG1A$ 、 $SG$

$1B$ を夫々介してビット線 $BL0$ 、 $BL1$ に接続され、メモリセルトランジスタ $MT15A$ 、 $MT15B$ のソースが選択ゲート $SG2A$ 、 $SG2B$ を夫々介して基準電位線 $VGL$ に接続される。選択ゲート $SG1A$ 、 $SG1B$ のゲートは、選択信号供給線 $SSL$ に共通に接続される。選択ゲート $SG2A$ 、 $SG2B$ のゲートは、選択信号供給線 $GSL$ に共通に接続される。同一行のメモリセルの制御ゲートが共通のワード線 $WL0$ 、 $WL1$ 、…に接続される。

【0355】書き込み時には、例えば20Vの電圧が選択されたメモリセルのワード線に印加され、8値の多値データがページ単位でメモリセルに書き込まれる。このとき、選択ゲート $SG1A$ 、 $SG1B$ は導通され、選択されたメモリセル以外のワード線にはバス電圧が与えられ、選択ゲート $SG2A$ 、 $SG2B$ は非導通とされる。

【0356】メモリセルトランジスタには、図8に示すような、8値のデータ記録が行なわれる。図8に示すように、書き込み時には、書き込みデータ“000”～“111”の8値に応じて、そのメモリセルのしきい値が、夫々、分布“7”～分布“0”内になるように、各メモリセルに対して書き込みが行なわれる。

【0357】このとき、ベリファイ電圧 $VVF7 \sim VVF1$ によりベリファイ動作が行なわれて、夫々のメモリセルのしきい値が各データに対応する分布“7”～分布“0”内となるように制御される。読み出し時には、読み出し電圧 $VRD7 \sim VRD1$ により、メモリセルのしきい値が検出されて、読み出しが行なわれる。

【0358】ベリファイ時及び読み出し時には、選択されたメモリセルのワード線には、ベリファイ電圧 $VVF7 \sim VVF1$ 及び読み出し電圧 $VRD7 \sim VRD1$ が与えられ、それ以外のメモリセルは導通状態とされる。また、選択ゲート $SG1A$ 、 $SG1B$ 及び選択ゲート $SG2A$ 、 $SG2B$ は導通とされる。そして、このとき、メモリセルに電流が流れるかどうかにより、メモリセルのしきい値がベリファイ電圧 $VVF7 \sim VVF1$ 及び読み出し電圧 $VRD7 \sim VRD1$ を越えているかどうか判断されて、ベリファイ及び読み出しが行なわれる。

【0359】図6において、ビット線電圧発生回路12は、NMOSTランジスタ $N1 \sim N15$ 及びインバートの入出力同士を結合してなるラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$ により構成される。また、ビット線電圧発生回路12からは、電圧 $VB0$ 、 $VB1$ 、 $VB2$ 、 $VB3$ の供給ラインが導出される。

【0360】ビット線電圧発生回路12により、書き込み時に、書き込みデータに応じたビット線電圧が発生され、メモリアレイ11のメモリセルに与えられる。また、ベリファイ時には、ビット線電圧発生回路12のラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$ の記憶ノード $Q2$ 、 $Q1$ 、 $Q0$ は、メモリアレイ11のメモリセルに書き込みが十分に行なわれると、“111”に設定される。読み

出し時には、メモリアレイ 11 のメモリセルのしきい値が検出されてデータの読み出しが行なわれる。この時、ラッチ回路 LQ0、LQ1、LQ2 の記憶ノード Q2、Q1、Q0 には、読み出されたデータが格納されていく。

【0361】読み出し／ベリファイ制御回路 13 は、NMOSTランジスタ N16～N28 から構成される。この読み出し／ベリファイ制御回路 13 は、読み出し時又はベリファイ時に、ラッチ回路 LQ2、LQ1、LQ0 の状態を制御するものである。読み出し／ベリファイ制御回路 13 からは、信号  $\phi$  LAT0、 $\phi$  LAT1、 $\phi$  LAT2、 $\phi$  LAT3、 $\phi$  LAT4 の供給ラインが導出され、パルス状の信号が供給される。読み出し／ベリファイ制御回路 13 の NMOSTランジスタ N16、N17、N18 のゲート電極は、ノード SA に接続されている。ノード SA は、メモリアレイ 11 のメモリセルのしきい値を検出するためのノードとなる。すなわち、後に説明するように、メモリセルのしきい値がワード線電圧より大きいと、セルに電流が流れないことにより、ノード SA は電源電圧 Vcc (例えば、3.3V) に保持され、メモリセルのしきい値がワード線電圧より小さいと、ビット線電圧と略等しい電圧に降下する。このノード SA により、NMOSTランジスタ N16、N17、N18 が制御されて、読み出し／ベリファイ制御回路 13 の動作が設定される。

【0362】ノード SA とビット線 BL0 との間には、高耐圧の NMOSTランジスタ HN1 及び HN3 の直列接続が設けられる。また、ノード SA とビット線 BL1 との間に、高耐圧の NMOSTランジスタ HN2 及び HN4 の直列接続が設けられる。NMOSTランジスタ HN3 のゲート電極にアドレスデコード信号 A<sub>i</sub>B が供給される。NMOSTランジスタ HN4 のゲート電極にアドレスデコード信号 A<sub>i</sub>N が供給される。NMOSTランジスタ HN1、HN2 のゲート電極に、制御信号 TRN が供給される。

【0363】ノード SA と接地ライン GND との間に、NMOSTランジスタ N1 が接続される。ノード SA と電源電圧 Vcc の供給ラインとの間に、PMOSTランジスタ P1 が接続される。NMOSTランジスタ N1 のゲート電極には、制御信号 DIS が供給される。PMOSTランジスタ P1 のゲート電極には、信号 Vref が供給される。

【0364】ノード SA とビット線電圧発生回路 12 との間には、NMOSTランジスタ N2 が設けられている。すなわち、NMOSTランジスタ N2 のドレインがノード SA に接続される。NMOSTランジスタ N2 のソースが NMOSTランジスタ N3、N5、N7、N9 のドレインに接続される。NMOSTランジスタ N2 のゲート電極には、制御信号 PGM\_RVPC が供給される。

【0365】NMOSTランジスタ N2 のソースと電圧

VB0 の供給ラインとの間に、NMOSTランジスタ N3、N4 が直列に接続される。NMOSTランジスタ N2 のソースと電圧 VB1 の供給ラインとの間に、NMOSTランジスタ N5、N6 が直列に接続される。NMOSTランジスタ N2 のソースと電圧 VB2 の供給ラインとの間に、NMOSTランジスタ N7、N8 が直列に接続される。NMOSTランジスタ N2 のソースと電圧 VB3 の供給ラインとの間に、NMOSTランジスタ N9、N10、N11 が直列に接続されるとともに、NMOSTランジスタ N11 と並列に、NMOSTランジスタ N15 が接続される。

【0366】ラッチ回路 LQ2、LQ1、LQ0 は、夫々、記憶ノード Q2、Q1、Q0 と、その反転記憶ノード /Q2、/Q1、/Q0 を有している。なお、/ は反転を示すバーを意味している。

【0367】ラッチ回路 LQ2 の反転記憶ノード /Q2 は、NMOSTランジスタ N4、N6 のゲート電極に接続される。ラッチ回路 LQ2 の記憶ノード Q2 は、NMOSTランジスタ N7、N9 のゲート電極に接続される。

【0368】ラッチ回路 LQ1 の反転記憶ノード /Q1 は、NMOSTランジスタ N3、N8 のゲート電極に接続される。ラッチ回路 LQ1 の記憶ノード Q1 は NMOSTランジスタ N5、N10 のゲート電極に接続される。

【0369】ラッチ回路 LQ0 の反転記憶ノード /Q0 は、NMOSTランジスタ N11 のゲート電極に接続される。NMOSTランジスタ N11 と並列に接続された NMOSTランジスタ N15 のゲート電極には、制御信号 RD の供給ラインが接続される。

【0370】また、ラッチ回路 LQ2 の記憶ノード Q2、ラッチ回路 LQ1 の記憶ノード Q1、ラッチ回路 LQ0 の記憶ノード Q0 の夫々と接地ラインとの間に、NMOSTランジスタ N12、N13、N14 が夫々接続される。NMOSTランジスタ N12、N13、N14 のゲート電極がリセット信号 RST の供給ラインに接続される。

【0371】読み出し／ベリファイ制御回路 13 において、NMOSTランジスタ N16、N17、N18 のゲート電極は、ノード SA に接続される。NMOSTランジスタ N16 のドレインがラッチ回路 LQ2 の反転記憶ノード /Q2 に接続される。NMOSTランジスタ N17 のドレインがラッチ回路 LQ1 の反転記憶ノード /Q1 に接続される。NMOSTランジスタ N18 のドレインがラッチ回路 LQ0 の反転記憶ノード /Q0 に接続される。

【0372】NMOSTランジスタ N16 のソースと接地ラインとの間に、NMOSTランジスタ N19、N20 が直列に接続されるとともに、これと並列的に NMOSTランジスタ N21、N22 が直列に接続される。N

MOSTランジスタN17のソースと接地ラインとの間に、NMOSTランジスタN23、N24が直列に接続されるとともに、これと並列的にNMOSTランジスタN25、N26が直列に接続される。NMOSTランジスタN18のソースと接地ラインとの間に、NMOSTランジスタN27、N28が直列に接続される。なお、NMOSTランジスタN27、N28を直列に接続しているのは、ラッチ反転の特性を合わせるためである。NMOSTランジスタN27、N28のうちの一方を省略しても良い。

【0373】そして、NMOSTランジスタN20のゲート電極が信号 $\phi$ LAT0の供給ラインに接続され、NMOSTランジスタN22のゲート電極が信号 $\phi$ LAT1の供給ラインに接続され、NMOSTランジスタN24のゲート電極が信号 $\phi$ LAT2の供給ラインに接続され、NMOSTランジスタN26のゲート電極が信号 $\phi$ LAT3の供給ラインに接続され、NMOSTランジスタN27、N28のゲート電極が信号 $\phi$ LAT4の供給ラインに接続される。

【0374】ラッチ回路LQ2の記憶ノードQ2とバスラインIO0との間に、NMOSTランジスタN31が接続され、ラッチ回路LQ1の記憶ノードQ1とバスラインIO1との間にNMOSTランジスタN32が接続され、ラッチ回路LQ0の記憶ノードQ0とバスラインIO2との間にNMOSTランジスタN33が接続される。

【0375】また、カラムゲートとしてのNMOSTランジスタN31、N32、N33のゲート電極が信号Y0\_0の供給ラインに接続される。

【0376】2-2. 第2の実施の形態の書き込み時の動作

次に、この発明の第2の実施の形態の書き込み動作を図9を参照して説明する。スタンバイ時には、信号PGM\_RVPCがローレベルに設定され、NMOSTランジスタN2が非導通状態に保持され、ビット線BL0、BL1（図9ではBLn、BLn+1として示されている）がラッチ回路から切り離されている。

【0377】そして、信号DISがハイレベルに設定され、信号TRN、AiB、AiNが( $V_{cc}-V_{th}$ )に設定され、ビット線BL0、BL1が接地レベルに設定される。

【0378】この状態で書き込みが起動された場合、信号Y0\_0がハイレベルに設定されて、書き込みデータがラッチ回路LQ2、LQ1、LQ0に取り込まれて保持される。

【0379】その後、信号DISがローレベルに切り換えられ、ビット線BL0、BL1が接地ラインから切り離される。そして、信号TRN、AiB、AiNが $V_{cc}$ 以上のハイレベル（例えば読み出し時のバス電圧）に設定されるとともに、信号Vrefがローレベルとされ、P

MOSTランジスタP1が導通状態に保持される。これにより、全ビット線BL0、BL1が電源電圧 $V_{cc}$ に充電される。

【0380】このとき、ラッチデータに影響がないように、読み出し/ベリファイを制御するための信号 $\phi$ LAT0～ $\phi$ LAT4が接地レベルに設定される。また、メモリセルのドレイン側の選択ゲートのゲート電極に接続された選択信号供給線が電源電圧 $V_{cc}$ に設定される。

【0381】書き込み時には、信号Vrefをハイレベルにしてプリチャージを切り、アドレス信号で選択されない方のアドレス、例えばAiNが接地レベルとなり、PGM\_RVPCがハイレベルに設定される。そして、電圧VB3が最も高い電圧となり、電圧VB2が次に高い電圧となり、電圧VB1が次に高い電圧となり、電圧VB0は接地レベルになるように設定される。

【0382】書き込みデータが"00x"（xは0又は1）の場合には、ラッチ回路LQ2及びLQ1の反転ノード/Q2及び/Q1はハイレベルである。このため、NMOSTランジスタN3、N4が導通状態となり、ビット線BL0は、電圧VB0となり、接地レベルに設定される。

【0383】書き込みデータが"01x"の場合には、NMOSTランジスタN5、N6が導通状態となり、ビット線BL0は、電圧VB1に設定される。

【0384】書き込みデータが"10x"の場合には、NMOSTランジスタN7、N8が導通状態となり、ビット線BL0は、電圧VB2に設定される。

【0385】書き込みデータが"110"の場合には、NMOSTランジスタN9、N10、N11が導通状態となり、ビット線BL0は、電圧VB3に設定される。

【0386】書き込みデータが"111"の場合には、電圧VB0～VB3からの何れのバスもビット線と遮断されるため、ビット線の電圧は、 $V_{cc}$ レベルに保持される。

【0387】以上のプロセスにより、選択ビット線BL0が書き込みデータに応じた電圧に設定された後、選択されたワード線WLが書き込み電圧に設定され、非選択のワード線が書き込みバス電圧に設定されて、書き込みが行なわれる。

【0388】上述のように、この発明の実施の形態では、記録データに応じて、ビット線電圧が変えられる。このように、記録データに応じてビット線電圧を設定すると書き込みデータに応じてセルにかかる電界を設定することができ、記録時間の短縮が図られる。

【0389】2-3. 第2の実施の形態のベリファイ時の動作

次に、この発明の第2の実施の形態のベリファイ読み出し動作について、図10のタイミングチャートに関連付けて説明する。

【0390】ベリファイ読み出し時には、ワード線電圧

に応じて、電圧源VB0～VB3は、図11Aに示すように設定される。

【0391】すなわち、ワード線電圧をVVF7に設定している間とワード線電圧をVVF6に設定している間では、電圧VB0が電源電圧Vccに設定され、他の電圧VB1、VB2、VB3は接地レベルに設定される。

【0392】ワード線電圧をVVF5に設定している間とワード線電圧をVVF4に設定している間では、電圧VB1が電源電圧Vccに設定され、他の電圧VB0、VB2、VB3は接地レベルに設定される。

【0393】ワード線電圧をVVF3に設定している間とワード線電圧をVVF2に設定している間では、電圧VB2が電源電圧Vccに設定され、他の電圧VB0、VB1、VB3は接地レベルに設定される。

【0394】ワード線電圧をVVF1に設定している間では、電圧VB3が電源電圧Vccに設定され、他の電圧VB0、VB1、VB2は接地レベルに設定される。

【0395】また、ベリファイ時には、制御信号RDは常時ローレベルに設定され、NMOSTランジスタN15は非導通である。

【0396】ベリファイに先立って、一定期間、制御信号DISがハイレベル、AiB、AiN及びTRNがP5V（5～6Vの電圧）に設定され、全ビット線BL0、BL1が接地レベルになる。

【0397】それから、制御信号DISがローレベルに戻された後、アドレス“Ai”で選択されていない方、例えばAiNが接地レベルとなり、ビット線BL1がビット線電圧発生回路12のラッチ回路から切り離される。そして、ビット線をクランプするために、制御信号TRNがVTRN（ $VTRN = V_{cc} - V_{th}$ ）に設定される。また、制御信号Vrefはビット線のリーク補償電流（ $< 1 \mu A$ ）を流すだけの電圧に設定される。

【0398】先ず、ワード線電圧をVVF7に設定したときについて説明する。ワード線電圧がVVF7に設定されている間では、電圧VB0のみ電源電圧Vccに設定され、他の電圧VB1、VB2、VB3は接地レベルに設定されている。そして、一定期間、制御信号PGM\_RVPCが電源電圧Vccレベルに設定され、NMOSTランジスタN2が導通する。

【0399】ここで、NMOSTランジスタN3及びN4が導通状態にあれば、電圧VB0からの電源Vccにより、ビット線は（ $VTRN - V_{th}'$ ）に充電されていき、充電後、NチャンネルNMOSTランジスタHN1はカットオフし、ノードSAは、PMOSTランジスタによるリーク補償電流によってVccに充電される。NMOSTランジスタN3及びN4が非導通状態なら、ビット線は充電されず、接地レベルである。また、他の電圧VB1、VB2、VB3は接地レベルなので、電圧VB0からの経路以外の経路による充電は行なわれない。

【0400】このように、ワード線電圧をVVF7に設定

して、ベリファイが行なわれるときには、NMOSTランジスタN3及びN4が導通状態のときにのみ、ビット線が充電される。NMOSTランジスタN3及びN4が導通状態となるのは、ラッチ回路LQ2の反転ノード/Q2がハイレベル、ラッチ回路LQ1の反転ノード/Q1がハイレベルとなるときだけであり、書き込みデータが“00x”のときである。

【0401】このことから、書き込みデータ“00x”のときにのみ、ビット線が充電され、他の書き込みデータのときには、ノードSAは接地レベルになり、ベリファイの対象外となる。

【0402】この状態で、制御信号PGM\_RVPCが接地レベルに戻され、選択ビット線BL0がビット線電圧発生回路12から切り離される。

【0403】ここで、メモリセルのしきい値電圧Vthがワード線電圧VVF7より大きい（ $V_{th} > VVF7$ ）場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧Vccに保持され、NMOSTランジスタN16、N17、N18が導通状態に保持される。この場合、書き込みデータ“00x”のときにのみベリファイの対象とされているため、

①書き込みデータが“000”でメモリセルのしきい値Vthがワード線電圧VVF7を越えている（ $V_{th} > VVF7$ ）の場合

②書き込みデータが“001”でメモリセルのしきい値Vthがワード線電圧VVF7を越えている（ $V_{th} > VVF7$ ）場合

が考えられる。しかしながら、“001”でメモリセルのしきい値Vthがワード線電圧VVF7を越えていれば、前回のワード線電圧をVVF6としたときのベリファイで（ $V_{th} > VVF6$ ）となり、書き込み十分と判断され、ラッチ回路は“111”となって、以後書き込みされないため、これはあり得ない。

【0404】一方、メモリセルのしきい値電圧Vthがワード線電圧VVF7より小さい（ $V_{th} < VVF7$ ）場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタHN1がオンして、電荷の再配分が起こり、ノードSAの電位はビット線電圧と略等しい電圧VBL（ $VBL = VTRN - V_{th}'$ ）となる。ノードSAの電位が（ $VTRN - V_{th}'$ ）では、NMOSTランジスタN16、N17、N18は完全に導通することはできない。

【0405】この場合、

①書き込みデータが“000”でメモリセルのしきい値Vthがワード線電圧VVF7より小さい（ $V_{th} < VVF7$ ）場合

②書き込みデータが“001”でメモリセルのしきい値Vthがワード線電圧VVF7より小さい（ $V_{th} < VVF7$ ）場合

が考えられる。

【0406】また、書き込みデータが“000”のときには、ラッチ回路LQ0の反転ノード/Q0はハイレベルであるから、NMOSTランジスタN21、N25が導通状態に保持される。書き込みデータが“001”のときには、NMOSTランジスタN21、N25が非導通である。

【0407】そして、一定時間経過後、パルス状の信号である信号φLAT1、φLAT3、φLAT4が順次ハイレベルに設定される。

【0408】書き込みデータが“000”で、メモリセルのしきい値 $V_{th}$ がワード線電圧VVF7を越えている( $V_{th} > VVF7$ )ときには、信号φLAT1がハイレベルの間では、NMOSTランジスタN22が導通状態に切り換わる。このとき、NMOSTランジスタN21が導通状態で、NMOSTランジスタN16が導通状態であるから、ラッチ回路LQ2の反転ノード/Q2がローレベルになり、ラッチ回路LQ2のノードQ2がハイレベルに反転する。

【0409】信号φLAT3がハイレベルの間では、NMOSTランジスタN26が導通状態に切り換わる。このとき、NMOSTランジスタN25が導通状態で、NMOSTランジスタN17は導通状態であるから、ラッチ回路LQ1の反転ノード/Q1がローレベルになり、ラッチ回路LQ1のノードQ1がハイレベルに反転する。

【0410】信号φLAT4がハイレベルの間では、NMOSTランジスタN27、N28が導通状態に切り換わる。このとき、NMOSTランジスタN18は導通状態であるから、ラッチ回路LQ0の反転ノード/Q0がローレベルになり、ラッチ回路LQ0のノードQ0がハイレベルに反転する。

【0411】以上により、ワード線電圧をVVF7に設定したときには、書き込みデータが“000”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF7より大きい( $V_{th} > VVF7$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは“111”に反転し、以後、再書き込みではビット線は電源電圧Vcc、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0412】一方、書き込みデータが“000”でメモリセルのしきい値 $V_{th}$ がワード線電圧VVF7より小さい( $V_{th} < VVF7$ )場合には、信号φLAT1がハイレベルの間では、NMOSTランジスタN22が導通状態になり、NMOSTランジスタN21が導通状態になるが、NMOSTランジスタN16が完全に導通しないため、ラッチ回路LQ2を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ2のノードの反転は起こらない。

【0413】信号φLAT3がハイレベルの間では、NMOSTランジスタN26は導通状態になり、NMOST

ランジスタN25が導通状態になるが、NMOSTランジスタN17が完全に導通しないため、ラッチ回路LQ1を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ1のノードの反転は起こらない。

【0414】信号φLAT4がハイレベルの間では、NMOSTランジスタN27、N28が導通状態になるが、NMOSTランジスタN18は完全に導通しないため、ラッチ回路LQ0を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ0のノードの反転は起こらない。

【0415】以上により、ワード線電圧をVVF7に設定したときには、書き込みデータが“000”のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF7より小さい( $V_{th} < VVF7$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは“000”のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0416】なお、この時、書き込みデータが“001”のメモリセルについては、NMOSTランジスタN21、N25が非導通となるため、ペリファイの対象外となり、ラッチ回路LQ2、LQ1、LQ0のデータはそのまま保持される。また、それ以外のメモリセルについても、ペリファイの対象外となるため、ラッチ回路LQ2、LQ1、LQ0のデータはそのまま保持される。

【0417】次に、ワード線電圧をVVF6に設定したときについて説明する。ワード線電圧がVVF6に設定されている間では、前述と同様に、電圧VB0のみ電源電圧Vccに設定され、他の電圧VB1、VB2、VB3は接地レベルに設定されている。そして、一定期間、制御信号PGM\_RVPCが電源電圧Vccレベルに設定される。

【0418】制御信号PGM\_RVPCが電源電圧Vccレベルに設定されると、NMOSTランジスタN2が導通する。ワード線電圧をVVF6に設定して、書き込みデータのペリファイが行なわれるときには、制御信号PGM\_RVPCを電源電圧Vccレベルに設定すると、前述と同様に、書き込みデータ“00x”のメモリセルのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルとなり、ペリファイの対象外となる。

【0419】ここで、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF6より大きい場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧Vccに保持され、NMOSTランジスタN16、N17、N18が導通状態に保持される。この場合、書き込みデータ“00x”のときにのみペリファイの対象とされているため、書き込みデータが“000”でメモリセルのしきい値 $V_{th}$ がワード線電圧VVF6を越えている場合と、書き込みデータが“001”でメモリセルのしきい値 $V_{th}$ がワード線電圧VVF6を越えて

いる場合が考えられる。

【0420】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF6}$ より小さい場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタHN1がオンして、電荷の再配分が起こり、ノードSAの電位はビット線電圧と略等しい ( $V_{TRN} - V_{th}'$ ) となる。ノードSAの電位が ( $V_{TRN} - V_{th}'$ ) では、NMOSTランジスタN16、N17、N18は完全に導通することはできない。この場合、書き込みデータが"000"でメモリセルのしきい値 $V_{th}$ がワード線電圧 $V_{VF7}$ より小さい場合と、書き込みデータが"001"でメモリセルのしきい値 $V_{th}$ がワード線電圧 $V_{VF7}$ より小さい場合が考えられる。

【0421】この状態で、ワード線電圧を $V_{VF6}$ に設定して、ベリファイ読み出しが行なわれる。そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT0、 $\phi$ LAT2が順次ハイレベルに設定される。

【0422】また、書き込みデータが"001"のときには、ラッチ回路LQ0のノードQ0はハイレベルであるから、NMOSTランジスタN19、N23は導通状態に保持されている。

【0423】書き込みデータが"001"でメモリセルのしきい値 $V_{th}$ がワード線電圧 $V_{VF6}$ を越えている ( $V_{th} > V_{VF6}$ ) 場合には、信号 $\phi$ LAT0がハイレベルの期間では、NMOSTランジスタN20が導通状態に切り換わる。このとき、NMOSTランジスタN19が導通状態で、NMOSTランジスタN16が導通状態であるから、ラッチ回路LQ2の反転ノード/Q2がローレベルになり、ラッチ回路LQ2のノードQ2がハイレベルに反転する。

【0424】信号 $\phi$ LAT2がハイレベルの期間では、NMOSTランジスタN24が導通状態に切り換わる。このとき、NMOSTランジスタN23は導通状態で、NMOSTランジスタN17は導通状態であるから、ラッチ回路LQ1の反転ノード/Q1がローレベルになり、ラッチ回路LQ1のノードQ1がハイレベルに反転する。

【0425】以上により、ワード線電圧を $V_{VF6}$ に設定したときには、書き込みデータが"001"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF6}$ より大きい ( $V_{th} > V_{VF6}$ ) 場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"111"に反転し、以後、再書き込みではビット線は電源電圧 $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0426】一方、書き込みデータが"001"で、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF6}$ より小さい ( $V_{th} < V_{VF6}$ ) 場合には、セルに電流が流れ、ビット線電圧は降下する。このため、NMOSTランジスタN16、N17、N18は、完全には導通しない。

【0427】信号 $\phi$ LAT0がハイレベルの期間では、NMOSTランジスタN20が導通状態になり、NMOSTランジスタN19が導通状態であるが、NMOSTランジスタN16が完全に導通しないため、ラッチ回路LQ2を反転させるのに十分な電流を流すことができず、ラッチ回路LQ2のノードの反転は起こらない。

【0428】信号 $\phi$ LAT2がハイレベルの期間では、NMOSTランジスタN24は導通状態になり、NMOSTランジスタN23が導通状態であるが、NMOSTランジスタN17は完全に導通しないため、ラッチ回路LQ1を反転させるのに十分な電流を流すことができず、ラッチ回路LQ1のノードの反転は起こらない。

【0429】以上により、ワード線電圧を $V_{VF6}$ に設定したときには、書き込みデータが"001"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF6}$ より小さい ( $V_{th} < V_{VF6}$ ) 場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"001"のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0430】なお、この時、書き込みデータが"000"のメモリセルについては、NMOSTランジスタN19、N23が非導通となるため、ベリファイの対象外となり、ラッチ回路LQ2、LQ1、LQ0のデータはそのまま保持される。また、それ以外のメモリセルについても、ベリファイの対象外となるため、ラッチ回路LQ2、LQ1、LQ0のデータはそのまま保持される。

【0431】次に、ワード線電圧を $V_{VF5}$ に設定したときについて説明する。ワード線電圧が $V_{VF5}$ に設定されている間では、電圧VB1のみ電源電圧 $V_{cc}$ に設定され、他の電圧VB0、VB2、VB3は接地レベルに設定されている。そして、一定期間、制御信号PGM\_RVPCが電源電圧 $V_{cc}$ レベルに設定され、NMOSTランジスタN2が導通する。

【0432】ここで、NMOSTランジスタN5及びN6が導通状態にあれば、電圧VB1からの電源 $V_{cc}$ により、ビット線は ( $V_{TRN} - V_{th}'$ ) に充電されていき、充電後、NMOSTランジスタHN1はカットオフし、ノードSAはPMOSTランジスタP1のリーク補償電流により $V_{cc}$ に充電される。NMOSTランジスタN5及びN6が非導通状態なら、ビット線は充電されず、接地レベルである。また、他の電圧VB0、VB2、VB3は接地レベルなので、電圧VB1からの経路以外の経路による充電は行なわれない。

【0433】このように、ワード線電圧を $V_{VF5}$ に設定してベリファイが行なわれるときには、制御信号PGM\_RVPCを電源電圧 $V_{cc}$ レベルに設定すると、NMOSTランジスタN5及びN6が導通状態のときにのみ、ビット線が充電される。

【0434】NMOSTランジスタN5及びN6が導通状態となるのは、ラッチ回路LQ2の反転ノード/Q2

がハイレベル、ラッチ回路LQ1のノードQ1がハイレベルとなるときだけであり、書き込みデータが"01x"のときである。

【0435】このことから、ワード線電圧をVVF5に設定して、書き込みデータが"010"のベリファイを行なうときには、書き込みデータが"01x"のときのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ベリファイの対象外となる。

【0436】この状態で、ワード線電圧をVVF5に設定して、ベリファイ読み出しが行なわれる。ここで、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF5より大きい( $V_{th} > VVF5$ )場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧 $V_{cc}$ に保持され、NMOSトランジスタN16、N17、N18が導通状態に保持される。

【0437】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF5より小さい( $V_{th} < VVF5$ )場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSトランジスタHN1がオンして、電荷の再配分が起こり、ノードSAの電位はビット線電圧と略等しい( $V_{TRN} - V_{th}'$ )となる。ノードSAの電位が( $V_{TRN} - V_{th}'$ )では、NMOSトランジスタN16、N17、N18は完全に導通することはできない。

【0438】また、書き込みデータが"010"のときには、ラッチ回路LQ0の反転ノード/Q0はハイレベルであるから、NMOSトランジスタN21、N25が導通状態に保持される。書き込みデータが"011"のときには、NMOSトランジスタN21、N25は非導通状態となり、ベリファイの対象外となる。

【0439】そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT1}$ 、 $\phi_{LAT4}$ が順次ハイレベルに設定される。

【0440】書き込みデータが"010"でメモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF5より大きい( $V_{th} > VVF5$ )場合には、信号 $\phi_{LAT1}$ がハイレベルの期間では、NMOSトランジスタN22が導通状態に切り換わる。このとき、NMOSトランジスタN21が導通状態で、NMOSトランジスタN16が導通状態であるから、ラッチ回路LQ2の反転ノード/Q2がローレベルになり、ラッチ回路LQ2のノードQ2がハイレベルに反転する。

【0441】信号 $\phi_{LAT4}$ がハイレベルの期間では、NMOSトランジスタN27、N28が導通状態に切り換わる。このとき、NMOSトランジスタN18は導通状態であるから、ラッチ回路LQ0の反転ノード/Q0がローレベルになり、ラッチ回路LQ0のノードQ0がハイレベルに反転する。

【0442】以上により、ワード線電圧をVVF5に設定

したときには、書き込みデータが"010"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF5より大きい( $V_{th} > VVF5$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"111"に反転し、以後、再書き込みではビット線は電源電圧 $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0443】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF5より小さい( $V_{th} < VVF5$ )場合には、信号 $\phi_{LAT1}$ がハイレベルの期間では、NMOSトランジスタN22が導通状態になり、NMOSトランジスタN21が導通状態になるが、NMOSトランジスタN16が完全に導通しないため、ラッチ回路LQ2を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ2のノードの反転は起こらない。

【0444】信号 $\phi_{LAT4}$ がハイレベルの期間では、NMOSトランジスタN27、N28が導通状態になるが、NMOSトランジスタN18は完全に導通しないため、ラッチ回路LQ0を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ0のノードの反転は起こらない。

【0445】以上により、ワード線電圧をVVF5に設定したときには、書き込みデータが"010"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF5より小さい( $V_{th} < VVF5$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"010"のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0446】なお、この時、書き込みデータが"011"のメモリセルについては、NMOSトランジスタN21、N25が非導通となるため、ベリファイの対象外となり、ラッチ回路LQ2、LQ1、LQ0のデータはそのまま保持される。また、それ以外のメモリセルについても、ベリファイの対象外となるため、ラッチ回路LQ2、LQ1、LQ0のデータはそのまま保持される。

【0447】ワード線電圧がVVF4に設定されている間では、前述と同様に、電圧VB1のみ電源電圧 $V_{cc}$ に設定され、他の電圧VB0、VB2、VB3は接地レベルに設定されている。そして、一定期間、制御信号PGM\_RVPCが電源電圧 $V_{cc}$ レベルに設定される。

【0448】ワード線電圧をVVF4に設定してベリファイが行なわれるときには、制御信号PGM\_RVPCを電源電圧 $V_{cc}$ レベルに設定すると、書き込みデータ"01x"のときにのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ベリファイの対象外となる。

【0449】ここで、書き込みデータが"01x"でメモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF4より大きい( $V_{th} > VVF4$ )場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSA

は電源電圧  $V_{cc}$  に保持され、NMOSTランジスタ  $N16$ 、 $N17$ 、 $N18$  が導通状態に保持される。

【0450】この状態で、ワード線電圧を  $V_{VF4}$  に設定して、ベリファイ読み出しが行なわれる。そして、一定時間経過後、パルス状の信号である信号  $\phi LAT0$  がハイレベルに設定される。

【0451】メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF4}$  より大きい場合には、信号  $\phi LAT0$  がハイレベルの期間では、NMOSTランジスタ  $N20$  が導通状態に切り換わる。このとき、NMOSTランジスタ  $N19$  が導通状態で、NMOSTランジスタ  $N16$  が導通状態であるから、ラッチ回路  $LQ2$  の反転ノード /  $Q2$  がローレベルになり、ラッチ回路  $LQ2$  のノード  $Q2$  がハイレベルに反転する。

【0452】以上により、ワード線電圧を  $V_{VF4}$  に設定したときには、書き込みデータが "011" のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF4}$  より大きい ( $V_{th} > V_{VF4}$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$ 、 $LQ0$  のラッチデータは "111" に反転し、以後、再書き込みではビット線は電源電圧  $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0453】書き込みデータが "011" のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF4}$  より小さい ( $V_{th} < V_{VF4}$ ) 場合には、NMOSTランジスタ  $N16$ 、 $N17$ 、 $N18$  は完全に導通することはできない。

【0454】したがって、メモリセルのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF4}$  より小さい場合には、信号  $\phi LAT0$  がハイレベルの期間では、NMOSTランジスタ  $N20$  が導通状態になり、NMOSTランジスタ  $N19$  が導通状態になるが、NMOSTランジスタ  $N16$  が完全に導通しないため、ラッチ回路  $LQ2$  を反転させるのに十分な電流が流れせないため、ラッチ回路  $LQ2$  のノードの反転は起こらない。

【0455】以上により、ワード線電圧を  $V_{VF4}$  に設定したときには、書き込みデータが "011" のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF4}$  より小さい ( $V_{th} < V_{VF4}$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$ 、 $LQ0$  のラッチデータは "011" のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0456】なお、この時、書き込みデータが "010" のメモリセルについては、NMOSTランジスタ  $N19$ 、 $N23$  が非導通となるため、ベリファイの対象外となり、ラッチ回路  $LQ2$ 、 $LQ1$ 、 $LQ0$  のデータはそのまま保持される。また、それ以外のメモリセルについても、ベリファイの対象外となるため、ラッチ回路  $LQ2$ 、 $LQ1$ 、 $LQ0$  のデータはそのまま保持される。

【0457】以下、ワード線電圧を  $V_{VF3}$ 、 $V_{VF2}$ 、 $V$

$V_{VF1}$  に設定して、同様にベリファイ動作が行なわれる。

【0458】すなわち、ワード線電圧を  $V_{VF3}$  に設定してベリファイが行なわれるときには、書き込みデータ "10x" のときにのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ベリファイの対象外となる。そして、一定時間経過後、パルス状の信号である信号  $\phi LAT3$ 、 $\phi LAT4$  が順次ハイレベルに設定される。書き込みデータが "100" のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF3}$  より大きい ( $V_{th} > V_{VF3}$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$ 、 $LQ0$  のラッチデータは "111" に反転し、以後、再書き込みではビット線  $BL0$  は電源電圧  $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。書き込みデータが "100" のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF3}$  より小さい ( $V_{th} < V_{VF3}$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$ 、 $LQ0$  のラッチデータは "100" のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0459】ワード線電圧が  $V_{VF2}$  に設定されてベリファイが行なわれるときは、書き込みデータ "10x" のときにのみビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ベリファイの対象外となる。そして、一定時間経過後、パルス状の信号である信号  $\phi LAT2$  がハイレベルに設定される。書き込みデータが "101" のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF2}$  より大きい ( $V_{th} > V_{VF2}$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$ 、 $LQ0$  のラッチデータは "111" に反転し、以後、再書き込みではビット線  $BL0$  は電源電圧  $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。書き込みデータが "101" のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF2}$  より小さい ( $V_{th} < V_{VF2}$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$ 、 $LQ0$  のラッチデータは "101" のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0460】選択ワード線電圧が  $V_{VF1}$  に設定されてベリファイが行なわれるときには、書き込みデータ "110" のときにのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ベリファイの対象外となる。そして、一定時間経過後、パルス状の信号である信号  $\phi LAT4$  がハイレベルに設定される。書き込みデータが "110" のメモリセルで、そのしきい値電圧  $V_{th}$  がワード線電圧  $V_{VF1}$  より大きい ( $V_{th} > V_{VF1}$ ) 場合、ラッチ回路  $LQ2$ 、 $LQ1$ 、 $LQ0$  のラッチデータは "111" に反転し、以後、再書き込みではビット線  $BL$  は電源電圧  $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。書き込みデータが "110" のメモリセルで、そのしきい

値電圧 $V_{th}$ がワード線電圧 $V_{VF1}$ より小さい( $V_{th} < V_{VF1}$ )場合、ラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$ のラッチデータは“110”のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0461】上述のように、この発明の第2の実施の形態では、ベリファイ時には、電圧 $VB0$ 、 $VB1$ 、 $VB2$ 、 $VB3$ のうちの1つを電源電圧 $V_{cc}$ とし、他の電圧を接地レベルとし、書き込みデータに応じてNMOSTランジスタ $N3$ 及び $N4$ 、 $N5$ 及び $N6$ 、 $N7$ 及び $N8$ 、 $N9$ 、 $N10$ 及び $N11$ を制御して、電圧 $VB0$ 、 $VB1$ 、 $VB2$ 、 $VB3$ のうちの1つからビット線の充電電流を流すようにすることで、他の書き込みデータをベリファイの対象外としている。すなわち、ワード線電圧 $V_{VF7}$ 及び $V_{VF6}$ でのベリファイ時には、電圧 $VB0$ を使うことで、“00x”以外をベリファイの対象外とし、ワード線電圧 $V_{VF5}$ 、 $V_{VF4}$ でのベリファイ時には、電圧 $VB1$ を使うことで、“01x”以外をベリファイの対象外とし、ワード線電圧 $V_{VF3}$ 、 $V_{VF2}$ でのベリファイ時には、電圧 $VB2$ を使うことで、“10x”以外をベリファイの対象外とし、ワード線電圧 $V_{VF1}$ でのベリファイ時には、電圧 $VB3$ を使うことで、“110”以外をベリファイの対象外としている。これにより、ベリファイ時の回路構成が簡単化されている。

【0462】2-4. 第2の実施の形態の読み出し時の動作次に、この発明の第2の実施の形態の読み出し動作について図12を参照して説明する。スタンバイ時には、制御信号 $TRN$ 、 $AiB$ 、 $AiN$ は( $V_{cc} - V_{th}$ )のレベルにあり、制御信号 $DIS$ はハイレベルに設定され、NMOSTランジスタ $N1$ が導通状態となり、全ビット線は接地レベルとなる。

【0463】この状態で読み出し動作が起動されると、制御信号 $DIS$ がローレベルになり、ビット線は接地ラインから切り離される。そして、選択ビット線が例えば偶数ビット線の場合、 $AiB$ が $P5V$ レベル、 $AiN$ が接地レベルに設定され、奇数ビット線はラッチから切り離され、制御信号 $TRN$ は( $V_{cc} - V_{th}$ (= $V_{TRN}$ ))に保持され、制御信号 $V_{ref}$ にビット線のリークを補償する電流を流すための電圧が印加される。これと同時に、制御信号 $RST$ にハイレベルが設定され、NMOSTランジスタ $N12$ 、 $N13$ 、 $N14$ が導通して、ラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$ のノード $Q2$ 、 $Q1$ 、 $Q0$ が全て「0」にリセットされる。

【0464】読み出し動作は、ワード線電圧を $VRD7$ 、 $VRD6$ 、 $VRD5$ 、 $VRD4$ 、 $VRD3$ 、 $VRD2$ 、 $VRD1$ に順次下げて行なわれる。読み出し時には、図11Bに示すように、電圧 $VB0$ は $V_{cc}$ レベル、電圧 $VB1$ 、電圧 $VB2$ 、 $VB3$ は接地レベルに常に設定される。

【0465】また、読み出し制御信号 $RD$ は常にハイレベルに設定され、NMOSTランジスタ $N15$ は、読み

出しの間、常に、導通状態にある。

【0466】先ず、選択ワード線電圧が $VRD7$ に設定され、制御信号 $PGM\_RVPC$ が電源電圧 $V_{cc}$ に設定され、NMOSTランジスタ $N2$ が導通状態に設定される。

【0467】ここで、NMOSTランジスタ $N4$ 、 $N3$ が導通状態にあれば、電圧 $VB0$ からの電流がNMOSTランジスタ $N4$ 、 $N3$ 、 $N2$ を介して流れ、ビット線が充電される。読み出しの開始時には、ラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$ が全て「0」にリセットされているため、ラッチ回路 $LQ2$ の反転ノード/ $Q2$ は「1」、ラッチ回路 $LQ1$ の反転ノード/ $Q1$ は「1」である。したがって、この時、NMOSTランジスタ $N4$ 、 $N3$ が導通状態である。

【0468】したがって、電圧 $VB0$ からの電流がNMOSTランジスタ $N4$ 、 $N3$ 、 $N2$ を介して流れ、全ての偶数ビット線は( $V_{TRN} - V_{th}$ )に充電され、NMOSTランジスタ $HN1$ がカットオフすることにより、全てのノード $SA$ はリーク補償電流により $V_{cc}$ に充電される。その後、制御信号 $PGM\_RVPC$ が接地レベルに戻される。

【0469】ワード線電圧が $VRD7$ での読み出しの結果、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $VRD7$ より大きい( $V_{th} > VRD7$ )場合、セル電流が流れないことにより、ノード $SA$ は電源電圧 $V_{cc}$ に保持される。このとき、NMOSTランジスタ $N16$ 、 $N17$ 、 $N18$ が導通状態となる。また、初期状態では、ラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$ が全て「0」にリセットされているため、NMOSTランジスタ $N21$ 、 $N25$ は導通状態にある。

【0470】そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT1}$ 、 $\phi_{LAT3}$ 、 $\phi_{LAT4}$ が順次ハイレベルに設定される。

【0471】信号 $\phi_{LAT1}$ がハイレベルに設定されると、NMOSTランジスタ $N22$ が導通状態に設定される。そして、NMOSTランジスタ $N16$ 、 $N21$ は導通している。したがって、ラッチ回路 $LQ2$ の反転ノード/ $Q2$ が「0」になり、ラッチ回路 $LQ2$ のノード $Q2$ が「1」に反転する。

【0472】信号 $\phi_{LAT3}$ がハイレベルに設定されると、NMOSTランジスタ $N26$ が導通状態に設定される。そして、NMOSTランジスタ $N17$ 、 $N25$ は導通している。したがって、ラッチ回路 $LQ1$ の反転ノード/ $Q1$ が「0」になり、ラッチ回路 $LQ1$ のノード $Q1$ が「1」に反転する。

【0473】信号 $\phi_{LAT4}$ がハイレベルに設定されると、NMOSTランジスタ $N27$ 、 $N28$ が導通状態に設定される。そして、NMOSTランジスタ $N18$ は導通している。したがって、ラッチ回路 $LQ0$ の反転ノード/ $Q0$ が「0」になり、ラッチ回路 $LQ0$ のノード $Q0$

0が「1」に反転する。

【0474】以上により、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $VRD7$ より大きい( $V_{th} > VRD7$ )場合、ラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$ のラッチデータが“111”に反転する。なお、読み出しデータは反転しており、ラッチデータが“111”のときの読み出しデータは“000”である。

【0475】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $VRD7$ 以下( $V_{th} < VRD7$ )であれば、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタ $HN1$ が導通状態となり、電荷の再配分が起こり、ノード $SA$ の電圧はビット線電圧と略等しい( $V_{TRN} - V_{th}'$ )となる。このため、NMOSTランジスタ $N16$ 、 $N17$ 、 $N18$ は完全に導通しない。

【0476】そして、一定時間経過後、パルス状の信号である信号 $\phi LAT1$ 、 $\phi LAT3$ 、 $\phi LAT4$ が順次ハイレベルに設定される。

【0477】信号 $\phi LAT1$ がハイレベルに設定されると、NMOSTランジスタ $N22$ が導通状態に設定される。NMOSTランジスタ $N22$ 、 $N21$ は導通状態であるが、NMOSTランジスタ $N16$ は完全に導通していない。したがって、ラッチ回路 $LQ2$ を反転させるための十分な電流を流すことはできず、ラッチ回路 $LQ2$ のノードの反転は生じない。

【0478】信号 $\phi LAT3$ がハイレベルに設定されると、NMOSTランジスタ $N26$ が導通状態に設定される。NMOSTランジスタ $N26$ 、 $N25$ は導通状態であるが、NMOSTランジスタ $N17$ は完全に導通していない。したがって、ラッチ回路 $LQ1$ を反転させるための十分な電流を流すことはできず、ラッチ回路 $LQ1$ のノードの反転は生じない。

【0479】信号 $\phi LAT4$ がハイレベルに設定されると、NMOSTランジスタ $N27$ 、 $28$ が導通状態に設定される。しかし、NMOSTランジスタ $N18$ は完全に導通していない。したがって、ラッチ回路 $LQ0$ を反転させるための十分な電流を流すことはできず、ラッチ回路 $LQ0$ のノードの反転は生じない。

【0480】次に、選択ワード線電圧が $VRD6$ に設定され、制御信号 $PGM\_RVPC$ が電源電圧 $V_{cc}$ に設定され、NMOSTランジスタ $N2$ が導通状態に設定される。

【0481】ここで、前回に選択ワード線電圧が $VRD7$ に設定して読み出しを行なったときにラッチ回路 $LQ0$ 、 $LQ1$ 及び $LQ2$ のノードの反転が起こっていなければ、ラッチ回路 $LQ0$ 、 $LQ1$ 、 $LQ2$ は初期状態の“000”であるから、NMOSTランジスタ $N3$ 、 $N4$ が導通している。このため、電圧 $VB0$ からの電流がNMOSTランジスタ $N4$ 、 $N3$ 、 $N2$ を介して流れ、メモリセルのしきい値電圧 $V_{th}$ が $VRD7$ より低いセ

ルがつながる全ての偶数ビット線は $V_{TRN} - V_{th}'$ に充電される。

【0482】これに対して、前回に選択ワード線電圧が $VRD7$ に設定して読み出しを行なったときにラッチ回路 $LQ1$ 及び $LQ2$ のノードの反転が起こっていれば、NMOSTランジスタ $N4$ 、 $N3$ が非導通状態となる。そして、NMOSTランジスタ $N9$ 、 $N10$ が導通状態となり、制御信号 $RD$ がハイレベルであることによりNMOSTランジスタ $N15$ が導通状態となり、電圧 $VB3$ の供給源につながる。この場合には、電圧 $VB1 \sim VB3$ は接地レベルのため、ノード $SA$ は接地レベルとなり、読み出し動作の対象外となる。

【0483】その後、制御信号 $PGM\_RVPC$ が接地レベルに戻される。この時、前回迄にノードの反転が起きていないセルがつながる偶数ビット線は( $V_{TRN} - V_{th}'$ )に充電され、NMOSTランジスタ $HN1$ がカットオフすることにより、そのノード $SA$ は $V_{cc}$ に充電される。

【0484】ここで、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $VRD6$ より大きい( $V_{th} > VRD6$ )場合、セル電流が流れないことにより、ノード $SA$ は電源電圧 $V_{cc}$ に保持される。このとき、NMOSTランジスタ $N16$ 、 $N17$ 、 $N18$ が導通状態となる。

【0485】そして、一定時間経過後、パルス状の信号である信号 $\phi LAT1$ 、 $\phi LAT3$ が順次ハイレベルに設定される。

【0486】信号 $\phi LAT1$ がハイレベルに設定されると、NMOSTランジスタ $N22$ が導通状態に設定される。そして、NMOSTランジスタ $N16$ 、 $N21$ は導通している。したがって、ラッチ回路 $LQ2$ の反転ノード/ $Q2$ が「0」になり、ラッチ回路 $LQ2$ のノード $Q2$ が「1」に反転する。

【0487】信号 $\phi LAT3$ がハイレベルに設定されると、NMOSTランジスタ $N26$ が導通状態に設定される。そして、NMOSTランジスタ $N17$ 、 $N25$ は導通している。したがって、ラッチ回路 $LQ1$ の反転ノード/ $Q1$ が「0」に反転し、ラッチ回路 $LQ1$ のノード $Q1$ が「1」に反転する。

【0488】以上により、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $VRD6$ より大きい( $V_{th} > VRD6$ )場合、前回迄にラッチの反転が起きていなければ、ラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$ のラッチデータが“110”に反転する。前回迄にラッチの反転が起きていると、ノード $SA$ は接地レベルとなり、読み出しの対象外となるため、そのデータは保持される。なお、読み出しデータは反転しており、ラッチデータが“110”のときの読み出しデータは“001”である。

【0489】メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $VRD6$ より小さい( $V_{th} < VRD6$ )場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は

降下し、NMOSTランジスタHN1が導通状態となり、電荷の再配分が起こり、ノードSAの電圧はビット線電圧と略等しい ( $V_{TRN} - V_{th}$ ) となる。このため、NMOSTランジスタN16、N17、N18は完全に導通しない。

【0490】そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT1}$ 、 $\phi_{LAT3}$ が順次ハイレベルに設定される。

【0491】信号 $\phi_{LAT1}$ がハイレベルに設定されると、NMOSTランジスタN22が導通状態に設定される。そして、NMOSTランジスタN21は導通状態にあるが、NMOSTランジスタN16は完全に導通していない。したがって、ラッチ回路LQ2を反転させるための十分な電流を流すことはできず、ラッチ回路LQ2のノードの反転は生じない。

【0492】信号 $\phi_{LAT3}$ がハイレベルに設定されると、NMOSTランジスタN26が導通状態に設定される。そして、NMOSTランジスタN25は導通状態であるが、NMOSTランジスタN17は完全に導通していない。したがって、ラッチ回路LQ1を反転させるための十分な電流を流すことはできず、ラッチ回路LQ1のノードの反転は生じない。

【0493】次に、選択ワード線電圧がVRD5に設定され、制御信号PGM\_RVPCが電源電圧Vccに設定され、NMOSTランジスタN2が導通状態に設定される。

【0494】ここで、前回までの読み出しで、ラッチ回路LQ1及びLQ2のノードの反転が起こっていなければ、NMOSTランジスタN4、N3が導通状態となり、電圧VB0によりビット線が充電される。なお、前回までの読み出しで、ラッチ回路LQ1及びLQ2のノードの反転が起こっていれば、NMOSTランジスタN4、N3が非導通状態となる。この場合には、電圧VB1~VB3は接地レベルなので、ノードSAは接地レベルとなり、読み出し動作の対象外となる。

【0495】その後、制御信号PGM\_RVPCが接地レベルに戻され、この時、読み出し動作の対象となる偶数ビット線は ( $V_{TRN} - V_{th}$ ) に充電され、NMOSTランジスタHN1がカットオフすることにより、読み出し動作の対象となるノードSAはVccに充電される。

【0496】ここで、ワード線電圧がVRD5での読み出しの結果、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD5より大きい ( $V_{th} > VRD5$ ) の場合、セル電流が流れないことにより、ノードSAは電源電圧Vccに保持される。このとき、NMOSTランジスタN16、N17、N18が導通状態となる。

【0497】そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT1}$ 、 $\phi_{LAT4}$ が順次ハイレベルに設定される。

【0498】信号 $\phi_{LAT1}$ がハイレベルに設定される

と、NMOSTランジスタN22が導通状態に設定される。そして、NMOSTランジスタN16、N21は導通している。したがって、ラッチ回路LQ2の反転ノード/Q2が「0」になり、ラッチ回路LQ2のノードQ2が「1」に反転する。

【0499】信号 $\phi_{LAT4}$ がハイレベルに設定されると、NMOSTランジスタN27及びN28が導通状態に設定される。そして、NMOSTランジスタN18は導通している。したがって、ラッチ回路LQ0の反転ノード/Q0が「0」に反転し、ラッチ回路LQ0のノードQ0が「1」に反転する。

【0500】以上により、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD5より大きい ( $V_{th} > VRD5$ ) 場合、前回迄にラッチの反転が起きていなければ、ラッチ回路LQ2、LQ1、LQ0のラッチデータが"101"に反転する。前回迄にラッチの反転が起きていれば、そのデータは保持される。読み出しデータは反転しており、ラッチデータが"101"のときの読み出しデータは"010"である。

【0501】メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD5以下 ( $V_{th} < VRD5$ ) であれば、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタHN1が導通状態となり、電荷の再配分が起こり、ノードSAの電圧はビット線電圧と略等しい ( $V_{TRN} - V_{th}$ ) となる。このため、NMOSTランジスタN16、N17、N18は完全に導通しない。

【0502】そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT1}$ 、 $\phi_{LAT4}$ が順次ハイレベルに設定される。

【0503】信号 $\phi_{LAT1}$ がハイレベルに設定されると、NMOSTランジスタN22が導通状態に設定される。そして、NMOSTランジスタN21は導通状態であるが、NMOSTランジスタN16は完全に導通していない。したがって、ラッチ回路LQ2を反転させるための十分な電流を流すことはできず、ラッチ回路LQ2のノードの反転は生じない。

【0504】信号 $\phi_{LAT4}$ がハイレベルに設定されると、NMOSTランジスタN27、N28が導通状態に設定される。しかし、NMOSTランジスタN18は完全に導通していない。したがって、ラッチ回路LQ0を反転させるための十分な電流を流すことはできず、ラッチ回路LQ0のノードの反転は生じない。

【0505】次に、選択ワード線電圧がVRD4に設定されて、前述と同様に、読み出しが行なわれる。そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT1}$ がハイレベルに設定される。

【0506】ここで、前回迄にラッチの反転が生じていなければ、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD4より大きい ( $V_{th} > VRD4$ ) 場合、セル電流が

流れないことにより、ノードSAは電源電圧 $V_{cc}$ に保持される。このとき、NMOSTランジスタN16、N17、N18が導通状態となる。

【0507】信号 $\phi$ LAT1がハイレベルに設定されると、NMOSTランジスタN22が導通状態に設定される。そして、NMOSTランジスタN16、N21は導通している。したがって、ラッチ回路LQ2の反転ノード/Q2が「0」になり、ラッチ回路LQ2のノードQ2が「1」に反転する。

【0508】以上により、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD4より大きい( $V_{th} > VRD4$ )場合、前回迄にラッチの反転が起きていなければ、ラッチ回路LQ2、LQ1、LQ0のラッチデータが“100”に反転する。前回迄にラッチの反転が起きていると、そのデータが保持される。なお、読み出しデータは反転しており、ラッチデータが“100”のときの読み出しデータは、“011”である。

【0509】メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD4より小さい( $V_{th} < VRD4$ )場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタHN1が導通状態となり、電荷の再配分が起こり、ノードSAの電圧はビット線電圧と略等しい( $V_{TRN} - V_{th}$ )となる。このため、NMOSTランジスタN16、N17、N18は完全に導通しない。

【0510】信号 $\phi$ LAT1がハイレベルに設定されると、NMOSTランジスタN22が導通状態に設定され、また、NMOSTランジスタN21は導通しているが、NMOSTランジスタN16は完全に導通していない。したがって、ラッチ回路LQ2のノードの反転は生じない。

【0511】以下、同様にして、読み出しが行なわれる。すなわち、選択ワード線電圧がVRD3に設定されて、読み出しが行なわれる。そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT3、 $\phi$ LAT4が順次ハイレベルに設定される。メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD3より大きい( $V_{th} > VRD3$ )場合、前回迄にラッチの反転が起きていなければ、ラッチ回路LQ2、LQ1、LQ0のラッチデータが“011”に反転する。なお、読み出しデータは反転しており、ラッチデータが“011”のときの読み出しデータは、“100”である。メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD3より小さい場合、信号 $\phi$ LAT3、 $\phi$ LAT4がハイレベルに設定されても、ラッチ回路LQ1、LQ0を反転させるための十分な電流を流すことはできず、ラッチ回路LQ0のノードの反転は生じない。

【0512】次に、選択ワード線電圧がVRD2に設定されて、読み出しが行なわれる。そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT3がハイレベル

に設定される。メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD2より大きい( $V_{th} > VRD2$ )場合、前回迄にラッチの反転が起きていなければ、ラッチ回路LQ2、LQ1、LQ0のラッチデータが“010”に反転する。なお、読み出しデータは反転しており、ラッチデータが“010”のときの読み出しデータは、“101”である。メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD2より小さい場合、信号 $\phi$ LAT3がハイレベルに設定されても、ラッチ回路LQ1を反転させるための十分な電流を流すことはできず、ラッチ回路LQ1のノードの反転は生じない。

【0513】次に、選択ワード線電圧がVRD1に設定されて、読み出しが行なわれる。そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT4がハイレベルに設定される。メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD1より大きい( $V_{th} > VRD1$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータが“001”に反転する。なお、読み出しデータは反転しており、ラッチデータが“001”のときの読み出しデータは、“110”である。メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD1より小さい場合、信号 $\phi$ LAT4がハイレベルに設定されても、ラッチ回路LQ0を反転させるための十分な電流を流すことはできず、ラッチ回路LQ0のノードの反転は生じない。

【0514】選択ワード線電圧をVRD7～VRD1に設定して、何れも、ラッチの反転が生じなければ、ラッチ回路LQ2、LQ1、LQ0のデータは“000”のままである。ラッチデータが“000”のとき、読み出しデータは、“111”である。

【0515】上述のように、この実施の形態では、読み出し時には、前回までの読み出しでラッチ回路のデータの反転が生じている場合には、読み出しの対象外とし、前回までの読み出しでラッチ回路のデータの反転が生じていない場合のみ、読み出しを行なっている。このような構成とすることで、回路規模の縮小が図られている。

【0516】3. 第3の実施の形態

図13は、この発明に係わる不揮発性半導体記憶装置の第3の実施形態を示すものである。この不揮発性半導体記憶装置は、前述の第2の実施の形態と同様に、記憶多値レベルが8値に対応したものである。

【0517】前述の第2の実施の形態では、最下位ビットのラッチ回路LQ0のデータを除いて、ラッチ回路LQ2、LQ1に設定されているラッチデータに応じて、ペリファイ時にビット線をチャージする／しないを制御して、ペリファイを行なっている。そして、最下位ビットのデータであるラッチ回路LQ0については、ノードQ0のデータと反転ノード/Q0のデータとを、ゲート回路N19及びN23、N21及びN25に供給し、ペリファイ時に最下位ビットが「1」であるか「0」であるかによりラッチ回路のノードの反転を禁止するかどうか

かの設定を行なって、ペリファイを対象外とするかどうかを設定している。

【0518】これに対して、第3の実施の形態では、信号WVFHFにより、ペリファイ時に最下位ビットが「1」であるか「0」であるかにより、ビット線の放電の実行を制御して、ペリファイを対象外とするかどうかの設定を行なっている。この第3の実施の形態では、最下位ビットのデータであるラッチ回路LQ0のノードQ0のデータと反転ノード/Q0のデータとにより制御されるゲート回路N19及びN23、N21及び25が不要であるため、更に、回路規模の削減を図ることができる。

【0519】3-1. 第3の実施の形態の全体構成  
この第3の実施形態は、前述の第2の実施の形態と同様に、メモリアレイ51と、ビット線電圧発生回路52と、読み出し/ペリファイ制御回路53とにより構成される。

【0520】メモリアレイ51は、前述の第2の実施の形態と同様に、メモリセルをマトリクス状に配列して構成されており、夫々メモリセルが共通のワード線WL0~WL15に接続されたメモリストリングA0及びA1により構成される。

【0521】ビット線電圧発生回路52は、NMOSTランジスタN51~N64、N72、N73及びインバータの入出力同士を結合してなるラッチ回路LQ2、LQ1、LQ0により構成される。また、ビット線電圧発生回路52からは、電圧VB0、VB1、VB2、VB3の供給ラインが導出される。

【0522】ビット線電圧発生回路52により、書き込み時に、書き込みデータに応じたビット線電圧が発生され、メモリアレイ51に与えられる。また、ペリファイ時には、ビット線電圧発生回路52のラッチ回路LQ2、LQ1、LQ0の記憶ノードQ2、Q1、Q0は、メモリアレイ51のメモリセルに書き込みが十分に行なわれると、「111」に設定される。読み出し時には、メモリアレイ51のメモリセルのしきい値が検出されてデータの読み出しが行なわれる。この時、ラッチ回路LQ0、LQ1、LQ2の記憶ノードQ2、Q1、Q0には、読み出されたデータが格納されていく。

【0523】読み出し/ペリファイ制御回路53は、NMOSTランジスタN66~N71から構成される。この読み出し/ペリファイ制御回路53は、読み出し時又はペリファイ時に、ラッチ回路LQ2、LQ1、LQ0の状態を制御するものである。読み出し/ペリファイ制御回路53からは、信号φLAT0、φLAT1、φLAT2の供給ラインが導出され、パルス状の信号が供給される。読み出し/ペリファイ制御回路53のNMOSTランジスタN66、N67、N68のゲート電極は、ノードSAに接続されている。ノードSAは、メモリアレイ51のメモリセルのしきい値を検出するためのノードとなる。

ドとなる。

【0524】ノードSAとビット線BL0との間には、高耐圧のNMOSTランジスタHN51及びHN53の直列接続が設けられる。また、ノードSAとビット線BL1との間に、高耐圧のNMOSTランジスタHN52及びHN54の直列接続が設けられる。NMOSTランジスタHN53のゲート電極にアドレスデコード信号AiBが供給される。NMOSTランジスタHN54のゲート電極にアドレスデコード信号AiNが供給される。NMOSTランジスタHN51、HN52のゲート電極に、制御信号TRNが供給される。

【0525】ノードSAと接地ラインGNDとの間に、NMOSTランジスタN51が接続される。ノードSAと電源電圧Vccの供給ラインとの間に、PMOSTランジスタP51が接続される。NMOSTランジスタN51のゲート電極には、制御信号DISが供給される。PMOSTランジスタP51のゲート電極には、信号Vrefが供給される。

【0526】ノードSAとビット線電圧発生回路52との間には、NMOSTランジスタN52が設けられている。すなわち、NMOSTランジスタN52のドレインがノードSAに接続される。NMOSTランジスタN52のソースがNMOSTランジスタN53、N55、N57、N59のドレインに接続される。NMOSTランジスタN52のゲート電極には、制御信号PGM\_RVPCが供給される。

【0527】NMOSTランジスタN52のソースと電圧VB0の供給ラインとの間に、NMOSTランジスタN53、N54が直列に接続される。NMOSTランジスタN52のソースと電圧VB1の供給ラインとの間に、NMOSTランジスタN55、N56が直列に接続される。NMOSTランジスタN52のソースと電圧VB2の供給ラインとの間に、NMOSTランジスタN57、N58が直列に接続される。NMOSTランジスタN52のソースと電圧VB3の供給ラインとの間に、NMOSTランジスタN59、N60、N61が直列に接続されるとともに、NMOSTランジスタN61と並列に、NMOSTランジスタN65が接続される。

【0528】更に、ノードSAと接地ラインとの間に、NMOSTランジスタN72、N73が直列に接続される。NMOSTランジスタN72のゲート電極は、信号WVFHFの供給ラインに接続される。NMOSTランジスタN73のゲート電極は、NMOSTランジスタN61のゲート電極に接続される。

【0529】ラッチ回路LQ2、LQ1、LQ0は、夫々、記憶ノードQ2、Q1、Q0と、その反転記憶ノード/Q2、/Q1、/Q0を有している。なお、/は反転を示すバーを意味している。

【0530】ラッチ回路LQ2の反転記憶ノード/Q2は、NMOSTランジスタN54、N56のゲート電極

に接続される。ラッチ回路LQ2の記憶ノードQ2は、NMOSTランジスタN57、N59のゲート電極に接続される。

【0531】ラッチ回路LQ1の反転記憶ノード/Q1は、NMOSTランジスタN53、N58のゲート電極に接続される。ラッチ回路LQ1の記憶ノードQ1はNMOSTランジスタN55、N60のゲート電極に接続される。

【0532】ラッチ回路LQ0の反転記憶ノード/Q0は、NMOSTランジスタN61、N73のゲート電極に接続される。NMOSTランジスタN61と並列に接続されたNMOSTランジスタN65のゲート電極には、制御信号RDの供給ラインが接続される。

【0533】また、ラッチ回路LQ2の記憶ノードQ2、ラッチ回路LQ1の記憶ノードQ1、ラッチ回路LQ0の記憶ノードQ0の夫々と接地ラインとの間に、NMOSTランジスタN62、N63、N64が夫々接続される。NMOSTランジスタN62、N63、N64のゲート電極がリセット信号RSTの供給ラインに接続される。

【0534】読み出し/ベリファイ制御回路53において、NMOSTランジスタN66、N67、N68のゲート電極は、ノードSAに接続される。NMOSTランジスタN66のドレインがラッチ回路LQ2の反転記憶ノード/Q2に接続される。NMOSTランジスタN67のドレインがラッチ回路LQ1の反転記憶ノード/Q1に接続される。NMOSTランジスタN68のドレインがラッチ回路LQ0の反転記憶ノード/Q0に接続される。

【0535】NMOSTランジスタN66のソースと接地ラインとの間に、NMOSTランジスタN69が接続される。NMOSTランジスタN67のソースと接地ラインとの間に、NMOSTランジスタN70が接続される。NMOSTランジスタN68と接地ラインとの間に、NMOSTランジスタN71が接続される。

【0536】読み出し/ベリファイ制御回路53からは、信号φLAT0、φLAT1、φLAT2の供給ラインが導出される。NMOSTランジスタN69のゲート電極が信号φLAT0の供給ラインに接続される。NMOSTランジスタN70のゲート電極が信号φLAT1の供給ラインに接続される。NMOSTランジスタN71のゲート電極が信号φLAT2の供給ラインに接続される。

【0537】ラッチ回路LQ2の記憶ノードQ2とバスラインIO0との間に、NMOSTランジスタN81が接続され、ラッチ回路LQ1の記憶ノードQ1とバスラインIO1との間にNMOSTランジスタN82が接続され、ラッチ回路LQ0の記憶ノードQ0とバスラインIO2との間にNMOSTランジスタN83が接続される。

【0538】また、カラムゲートとしてのNMOSTランジスタN81、N82、N83のゲート電極が信号Y0\_0の供給ラインに接続される。

【0539】3-2. 第3の実施の形態の書き込み時の動作

次に、この発明の第3の実施の形態の書き込み動作を説明する。書き込み時の基本的な動作は、前述の第2の実施の形態と同様である。つまり、スタンバイ時には、信号PGM\_RVPCがローレベルに設定され、NMOSTランジスタN52が非導通状態に保持され、ビット線BL0、BL1がラッチ回路から切り離されている。

【0540】そして、信号DISがハイレベルに設定され、信号TRN、AiB、AiNが(Vcc-Vth)に設定され、ビット線BL0、BL1が接地レベルに設定される。

【0541】この状態で書き込みが起動された場合、信号Y0\_0がハイレベルに設定されて、書き込みデータがラッチ回路LQ2、LQ1、LQ0に取り込まれて保持される。

【0542】その後、信号DISがローレベルに切り換えられ、ビット線BL0、BL1が接地ラインから切り離される。そして、信号TRN、AiB、AiNがVcc以上のハイレベル（例えば読み出し時のバス電圧P5V）に設定されるとともに、信号Vrefがローレベルとされ、PMOSTランジスタP51が導通状態に保持される。これにより、全ビット線BL0、BL1が電源電圧Vccに充電される。

【0543】このとき、ラッチデータに影響がないように、読み出し/ベリファイを制御するための信号φLAT0～φLAT2が接地レベルに設定される。また、メモリセルのドレイン側の選択ゲートのゲート電極に接続された選択信号供給線SSLが電源電圧Vccに設定される。

【0544】書き込み時には、アドレス信号で選択されない方のアドレス例えばAiNが接地レベルとなり、また、信号PGM\_RVPCがハイレベルに設定される。そして、電圧VB3が最も高い電圧となり、電圧VB2が次に高い電圧となり、電圧VB1が次に高い電圧となり、電圧VB0は接地レベルになるように設定される。

【0545】書き込みデータが"00x"（xは0又は1）の場合には、ラッチ回路LQ2及びLQ1の反転ノード/Q2及び/Q1はハイレベルである。このため、NMOSTランジスタN53、N54が導通状態となり、ビット線BL0は、電圧VB0となり、接地レベルに設定される。

【0546】書き込みデータが"01x"の場合には、NMOSTランジスタN55、N56が導通状態となり、ビット線BL0は、電圧VB1に設定される。

【0547】書き込みデータが"10x"の場合には、NMOSTランジスタN57、N58が導通状態とな

り、ビットBL0は、電圧VB2に設定される。

【0548】書き込みデータが“110”の場合には、NMOSTランジスタN59、N60、N61が導通状態となる。NMOSTランジスタN59、N60、N61が導通状態となると、ビット線BL0は、電圧VB3に設定される。

【0549】書き込みデータが“111”の場合には、電圧VB0～VB3からの何れのパスもビット線と遮断される。このため、ビット線の電圧は、Vccレベルに保持される。

【0550】以上のプロセスにより、選択ビット線BL0が書き込みデータに応じた電圧に設定された後、ワード線が書き込み電圧に設定され、非選択のワード線が書き込みバス電圧に設定されて、書き込みが行なわれる。

【0551】3-3. 第3の実施の形態のペリファイ時の動作

次に、この発明の第3の実施の形態のペリファイ読み出し動作について、図14のタイミングチャートに関連付けて説明する。

【0552】ペリファイ読み出し時には、ワード線電圧に応じて、電圧源VB0～VB3は、前述の第2の実施例と同様に、図11Aに示すように設定される。

【0553】すなわち、ワード線電圧をVVF7に設定している間とワード線電圧をVVF6に設定している間では、電圧VB0が電源電圧Vccに設定され、他の電圧VB1、VB2、VB3は接地レベルに設定される。

【0554】ワード線電圧をVVF5に設定している間とワード線電圧をVVF4に設定している間では、電圧VB1が電源電圧Vccに設定され、他の電圧VB0、VB2、VB3は接地レベルに設定される。

【0555】ワード線電圧をVVF3に設定している間とワード線電圧をVVF2に設定している間では、電圧VB2が電源電圧Vccに設定され、他の電圧VB0、VB1、VB3は接地レベルに設定される。

【0556】ワード線電圧をVVF1に設定している間では、電圧VB3が電源電圧Vccに設定され、他の電圧VB0、VB1、VB2は接地レベルに設定される。

【0557】また、制御信号WVFHFは、ワード線電圧をVVF7、VVF5、VVF3、VVF1に設定している間ではローレベル、ワード線電圧をVVF6、VVF4、VVF2に設定している間では、ハイレベルに設定される（プリチャージ時間を除いて）。

【0558】また、ペリファイ時には、制御信号RDは常時ローレベルに設定される。したがって、ペリファイ動作の間、NMOSTランジスタN65は非導通である。

【0559】ペリファイに先立って、一定期間、制御信号DISがハイレベル、AiB、AiNがP5Vに設定され、全ビット線BL0、BL1が接地レベルになる。

【0560】それから、制御信号DISがローレベルに

戻された後、アドレス“Ai”で選択されていない方、例えばAiNが接地レベルとなり、ビット線BL1がラッチ回路から切り離される。そして、ビット線をクランプするために、制御信号TRNがVTRN ( $VTRN = Vcc - Vth$ ) に設定され、制御信号Vrefにビット線のリークを補償する電流 ( $< 1 \mu A$ ) を流すための電圧が印加される。

【0561】まず、選択ワード線電圧をVVF7に設定したときについて説明する。ワード線電圧がVVF7に設定されている間では、電圧VB0のみ電源電圧Vccに設定され、他の電圧VB1、VB2、VB3は接地レベルに設定されている。そして、一定期間、制御信号PGM\_RVPCが電源電圧Vccレベルに設定され、NMOSTランジスタN52が導通する。

【0562】ここで、NMOSTランジスタN53及びN54が導通状態にあれば、電圧VB0からの電源Vccにより、ビット線は ( $VTRN - Vth'$ ) に充電されていき、充電後、NチャンネルNMOSTランジスタHN51はカットオフし、ノードSAはVccに充電される。また、他の電圧VB1、VB2、VB3は接地レベルなので、NMOSTランジスタN53及びN54が非導通状態なら、ビット線は充電されず、接地レベルである。

【0563】このように、ワード線電圧をVVF7に設定して、書き込みデータが“000”のペリファイが行なわれるときには、NMOSTランジスタN53及びN54が導通状態のときにのみ、ビット線が充電される。NMOSTランジスタN53及びN54が導通状態となるのは、ラッチ回路LQ2の反転ノード/Q2がハイレベル、ラッチ回路LQ1の反転ノード/Q1がハイレベルとなるときだけであり、書き込みデータが“00x”のときである。

【0564】このことから、書き込みデータ“00x”のときにのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ペリファイの対象外となる。

【0565】この状態で、制御信号PGM\_RVPCが接地レベルとされ、選択ビット線BL0がビット線電圧発生回路52から切り離される。

【0566】また、ワード線電圧をVVF7に設定して、ペリファイが行なわれるときには、制御信号WVFHFがローレベルに設定される。そして、一定時間経過後、パルス状の信号である信号φLAT0、φLAT1、φLAT2が順次ハイレベルに設定される。

【0567】ここで、メモセルのしきい値電圧Vthがワード線電圧VVF7より大きい ( $Vth > VVF7$ ) 場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧Vccに保持され、NMOSTランジスタN66、N67、N68が導通状態に保持される。この場合、書き込みデータ“00x”のときにのみペリファイの対象とされているため、

①書き込みデータが" 000" でメモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF7}$  を越えている ( $V_{th} > V_{VF7}$ ) 場合

②書き込みデータが" 001" でメモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF7}$  を越えている ( $V_{th} > V_{VF7}$ ) 場合

が考えられる。

【0568】しかしながら、書き込みデータが" 001" でメモリセルのしきい値 $V_{th}$ がワード線電圧 $V_{VF7}$  を越えていれば、ワード線電圧 $V_{VF6}$  としたときのペリファイで ( $V_{th} > V_{VF6}$ ) となり、書き込み十分と判断され、ラッチ回路は" 111" になるため、以後、書き込みはなされなくなり、通常ではあり得ない。

【0569】①の場合についてのペリファイ動作について説明する。信号 $\phi_{LAT0}$ がハイレベルの期間では、NMOSTランジスタN69が導通状態に切り換わる。このとき、NMOSTランジスタN66が導通状態であるから、ラッチ回路LQ2の反転ノード/Q2がローレベルになり、ラッチ回路LQ2のノードQ2がハイレベルに反転する。

【0570】信号 $\phi_{LAT1}$ がハイレベルの期間では、NMOSTランジスタN70が導通状態に切り換わる。このとき、NMOSTランジスタN70が導通状態で、NMOSTランジスタN67は導通状態であるから、ラッチ回路LQ1の反転ノード/Q1がローレベルになり、ラッチ回路LQ1のノードQ1がハイレベルに反転する。

【0571】信号 $\phi_{LAT2}$ がハイレベルの期間では、NMOSTランジスタN71が導通状態に切り換わる。このとき、NMOSTランジスタN68は導通状態であるから、ラッチ回路LQ0の反転ノード/Q0がローレベルになり、ラッチ回路LQ0のノードQ0がハイレベルに反転する。

【0572】以上により、ワード線電圧を $V_{VF7}$  に設定したときには、書き込みデータが" 000" のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF7}$  より大きい ( $V_{th} > V_{VF7}$ ) 場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは" 111" に反転し、以後、再書き込みではビット線BL0は電源電圧 $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0573】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF7}$  より小さい ( $V_{th} < V_{VF7}$ ) 場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタHN51がオンして、電荷の再配分が起こり、ノードSAの電位はビット線電圧と略等しい ( $V_{TRN} - V_{th}$ ) となり、NMOSTランジスタN66、N67、N68は完全に導通することはできない。

【0574】この場合、

③書き込みデータが" 000" でメモリセルのしきい値 $V_{th}$ がワード線電圧 $V_{VF7}$  より小さい ( $V_{th} < V_{VF7}$ ) 場合

④書き込みデータが" 001" でメモリセルのしきい値 $V_{th}$ がワード線電圧 $V_{VF7}$  より小さい ( $V_{th} < V_{VF7}$ ) 場合

が考えられる。

【0575】これらの場合には、信号 $\phi_{LAT0}$ がハイレベルの期間では、NMOSTランジスタN69が導通状態になるが、NMOSTランジスタN66が完全に導通しないため、ラッチ回路LQ2を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ2のノードの反転は起こらない。

【0576】信号 $\phi_{LAT1}$ がハイレベルの期間では、NMOSTランジスタN70は導通状態になるが、NMOSTランジスタN67が完全に導通しないため、ラッチ回路LQ1を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ1のノードの反転は起こらない。

【0577】信号 $\phi_{LAT2}$ がハイレベルの期間では、NMOSTランジスタN71が導通状態になるが、NMOSTランジスタN68は完全に導通しないため、ラッチ回路LQ0を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ0のノードの反転は起こらない。

【0578】以上により、ワード線電圧を $V_{VF7}$  に設定したときには、書き込みデータが" 000" のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF7}$  より小さい ( $V_{th} < V_{VF7}$ ) 場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは" 000" のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0579】次に、選択ワード線電圧を $V_{VF6}$  に設定したときについて説明する。ワード線電圧が $V_{VF6}$  に設定されている間では、" 000" のペリファイと同様に、電圧VB0のみ電源電圧 $V_{cc}$ に設定され、他の電圧VB1、VB2、VB3は接地レベルに設定されている。そして、一定期間、制御信号PGM\_RVPCが電源電圧 $V_{cc}$ レベルに設定され、NMOSTランジスタN52が導通する。

【0580】このとき、前述と同様に、書き込みデータが" 00x" のメモリセルのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルとなり、ペリファイの対象外となる。

【0581】また、ワード線電圧が $V_{VF6}$  のときには、制御信号WVFFHFがハイレベルに設定され、NMOSTランジスタN72が導通する。

【0582】このとき、書き込みデータが" 000" のメモリセルについては、ラッチ回路LQ0の反転ノード/Q0はハイレベルとなり、NMOSTランジスタN7

3が導通する。このため、ノードSAはNMOSTランジスタN72、N73を介して接地レベルとなる。したがって、書き込みデータが"000"のメモリセルは、ベリファイの対象外となる。

【0583】そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT0、 $\phi$ LAT1が順次ハイレベルに設定される。

【0584】ここで、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧をVVF6より大きい( $V_{th} > VVF6$ )場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧 $V_{cc}$ に保持され、NMOSTランジスタN66、N67、N68が導通状態に保持される。この場合、書き込みデータ"001"のときのみベリファイの対象とされている。

【0585】信号 $\phi$ LAT0がハイレベルの期間では、NMOSTランジスタN69が導通状態に切り換わる。このとき、NMOSTランジスタN66は導通状態であるから、ラッチ回路LQ2の反転ノード/Q2がローレベルになり、ラッチ回路LQ2のノードQ2がハイレベルに反転する。

【0586】信号 $\phi$ LAT1がハイレベルの期間では、NMOSTランジスタN70が導通状態に切り換わる。このとき、NMOSTランジスタN67は導通状態であるから、ラッチ回路LQ1の反転ノード/Q1がローレベルになり、ラッチ回路LQ1のノードQ1がハイレベルに反転する。

【0587】以上により、ワード線電圧をVVF6に設定したとき、書き込みデータが"001"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF6より大きい( $V_{th} > VVF6$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"111"に反転し、以後、再書き込みではビット線BL0は電源電圧 $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0588】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧をVVF6より小さい場合には、リーク補償電流より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタHN51がオンして、電荷の再配分が起こり、ノードSAの電位はビット線電圧と略等しい( $V_{TRN} - V_{th}$ )となる。ノードSAの電位が( $V_{TRN} - V_{th}$ )では、NMOSTランジスタN66、N67、N68は完全に導通することはできない。

【0589】信号 $\phi$ LAT0がハイレベルの期間では、NMOSTランジスタN69が導通状態になるが、NMOSTランジスタN66が完全に導通しないため、ラッチ回路LQ2を反転させるのに十分な電流を流すことができず、ラッチ回路LQ2のノードの反転は起こらない。

【0590】信号 $\phi$ LAT1がハイレベルの期間では、NMOSTランジスタN70は導通状態になるが、NM

OSTランジスタN67は完全に導通しないため、ラッチ回路LQ1を反転させるのに十分な電流を流すことができず、ラッチ回路LQ1のノードの反転は起こらない。

【0591】以上により、ワード線電圧をVVF6に設定したときには、書き込みデータが"001"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF6より小さい( $V_{th} < VVF6$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"001"のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0592】次に、選択ワード線電圧をVVF5に設定したときについて説明する。選択ワード線電圧がVVF5に設定されている間では、電圧VB1のみ電源電圧 $V_{cc}$ に設定され、他の電圧VB0、VB2、VB3は接地レベルに設定されている。そして、一定期間、制御信号PGM\_RVPCが電源電圧 $V_{cc}$ レベルに設定され、NMOSTランジスタN52が導通する。

【0593】ここで、NMOSTランジスタN55及びN56が導通状態にあれば、電圧VB1からの電源 $V_{cc}$ により、ビット線は( $V_{TRN} - V_{th}$ )に充電されている。充電後、NMOSTランジスタHN51はカットオフし、ノードSAは $V_{cc}$ に充電される。また、他の電圧VB0、VB2、VB3は接地レベルなので、NMOSTランジスタN55及びN56が非導通状態なら、ビット線は充電されず、接地レベルである。

【0594】このように、ワード線電圧をVVF5に設定して、書き込みデータが"010"のベリファイが行なわれるときには、NMOSTランジスタN55及びN56が導通状態のときにのみ、ビット線が充電される。

【0595】NMOSTランジスタN55及びN56が導通状態となるのは、ラッチ回路LQ2の反転ノード/Q2がハイレベル、ラッチ回路LQ1のノードQ1がハイレベルとなるときだけであり、書き込みデータが"01x"のときである。

【0596】このことから、ワード線電圧をVVF5に設定して、ベリファイが行なうときには、書き込みデータ"01x"のときにのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ベリファイの対象外となる。

【0597】この状態で、ワード線電圧をVVF5に設定して、ベリファイ読み出しが行なわれる。ここで、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧をVVF5より大きい( $V_{th} > VVF5$ )の場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧 $V_{cc}$ に保持され、NMOSTランジスタN66、N67、N68が導通状態に保持される。

【0598】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF5より小さい( $V_{th} < VVF5$ )の場合には、リーク補償電流より大きいセル電流が流れてビット

線電圧は降下し、NMOSTランジスタHN51がオンして、電荷の再配分が起り、ノードSAの電位はビット線電圧と略等しい ( $V_{TRN} - V_{th}$ ) となり、NMOSTランジスタN66、N67、N68は完全に導通することはできない。

【0599】そして、一定時間経過後、パルス状の信号である信号 $\phi$ LATO、 $\phi$ LAT2が順次ハイレベルに設定される。

【0600】書き込みデータが"010"でメモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF5より大きい ( $V_{th} > VVF5$ ) 場合には、信号 $\phi$ LATOがハイレベルの期間では、NMOSTランジスタN69が導通状態に切り換わる。このとき、NMOSTランジスタN66が導通状態であるから、ラッチ回路LQ2の反転ノード/Q2がローレベルになり、ラッチ回路LQ2のノードQ2がハイレベルに反転する。

【0601】信号 $\phi$ LAT2がハイレベルの期間では、NMOSTランジスタN71が導通状態に切り換わる。このとき、NMOSTランジスタN68は導通状態であるから、ラッチ回路LQ0の反転ノード/Q0がローレベルになり、ラッチ回路LQ0のノードQ0がハイレベルに反転する。

【0602】以上により、ワード線電圧をVVF5に設定したときには、書き込みデータが"010"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF5より大きい ( $V_{th} > VVF5$ ) 場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"111"に反転し、以後、再書き込みではビット線は電源電圧Vcc、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0603】一方、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF5より小さい ( $V_{th} < VVF5$ ) 場合には、信号 $\phi$ LATOがハイレベルの期間では、NMOSTランジスタN69が導通状態になるが、NMOSTランジスタN66が完全に導通しないため、ラッチ回路LQ2を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ2のノードの反転は起こらない。

【0604】信号 $\phi$ LAT2がハイレベルの期間では、NMOSTランジスタN71が導通状態になるが、NMOSTランジスタN68は完全に導通しないため、ラッチ回路LQ0を反転させるのに十分な電流が流せない。このため、ラッチ回路LQ0のノードの反転は起こらない。

【0605】以上により、ワード線電圧をVVF5に設定したときには、書き込みデータが"010"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF5より小さい ( $V_{th} < VVF5$ ) 場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"010"のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0606】次に、ワード線電圧をVVF4に設定したときについて説明する。ワード線電圧がVVF4に設定されている間では、"010"のベリファイと同様に、電圧VB1のみ電源電圧Vccに設定され、他の電圧VB0、VB2、VB3は接地レベルに設定されている。そして、一定期間、制御信号PGM\_RVPCが電源電圧Vccレベルに設定される。

【0607】このとき、書き込みデータ"01x"のときにのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ベリファイの対象外となる。そして制御信号PGM\_RVPCをローレベルに立ち下げた後、制御信号WVFHFをハイレベルに設定する。

【0608】このとき、書き込みデータが"010"のメモリセルについては、ラッチ回路LQ0の反転ノード/Q0はハイレベルとなり、NMOSTランジスタN73が導通する。また、この時には、制御信号WVFHFがハイレベルに設定されているため、NMOSTランジスタN72が導通している。このため、ビット線およびノードSAはNMOSTランジスタN72、N73を介して接地レベルとなる。したがって、書き込みデータが"010"のメモリセルは、ベリファイの対象外となり、書き込みデータが"011"のメモリセルのみがベリファイの対象となる。

【0609】そして、一定時間経過後、パルス状の信号である信号 $\phi$ LATOがハイレベルに設定される。

【0610】ここで、書き込みデータが"011"でメモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF4より大きい ( $V_{th} > VVF4$ ) 場合には、セルに電流が流れないことにより、ビット線電圧は変化せず、ノードSAは電源電圧Vccに保持され、NMOSTランジスタN66、N67、N68が導通状態に保持される。

【0611】そして、信号 $\phi$ LATOがハイレベルの期間では、NMOSTランジスタN69が導通状態に切り換わる。このとき、NMOSTランジスタN66が導通状態であるから、ラッチ回路LQ2の反転ノード/Q2がローレベルになり、ラッチ回路LQ2のノードQ2がハイレベルに反転する。

【0612】以上により、ワード線電圧をVVF4に設定したときには、書き込みデータが"011"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF4より大きい ( $V_{th} > VVF4$ ) 場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"111"に反転し、以後、再書き込みではビット線は電源電圧Vcc、チャンネルは非書き込み電位にブーストされて書き込みされない。

【0613】メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VVF4より小さい ( $V_{th} < VVF4$ ) 場合には、NMOSTランジスタN66、N67、N68は完全に導通することはできない。

【0614】したがって、信号 $\phi$ LAT0がハイレベルの期間では、NMOSTランジスタN69が導通状態になるが、NMOSTランジスタN66が完全に導通しないため、ラッチ回路LQ2を反転させるのに十分な電流が流せないため、ラッチ回路LQ2のノードの反転は起らない。

【0615】以上により、書き込みデータが"011"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF4より小さい( $V_{th} < VVF4$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"011"のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0616】以下、ワード線電圧をVVF3、VVF2、VVF1に設定したときには、同様の動作でベリファイが行なわれる。

【0617】すなわち、ワード線電圧をVVF3に設定しているときには、書き込みデータ"10x"のときのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ベリファイの対象外となる。そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT1、 $\phi$ LAT2が順次ハイレベルに設定される。書き込みデータが"100"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF3より大きい( $V_{th} > VVF3$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"111"に反転し、以後、再書き込みではビット線は電源電圧 $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。書き込みデータが"100"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF3より小さい( $V_{th} < VVF3$ )場合、ラッチ回路LQ2、Q1、Q0のラッチデータは"100"のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0618】ワード線電圧がVVF2に設定されている間では、書き込みデータ"10x"のときのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ベリファイの対象外となる。ビット線充電終了後、制御信号WVFHFをハイレベルに設定すると、書き込みデータが"100"のセルのビット線はGNDレベルに放電されてベリファイの対象外となる。そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT1がハイレベルに設定される。書き込みデータが"101"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF2より大きい( $V_{th} > VVF2$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"111"に反転し、以後、再書き込みではビット線BL0は電源電圧 $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。書き込みデータが"101"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF2より小さい( $V_{th} < VVF2$ )場合、ラッ

チ回路LQ2、LQ1、LQ0のラッチデータは"101"のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0619】ワード線電圧がVVF1に設定されている間では、書き込みデータ"110"のときにのみ、ビット線が充電され、他の書き込みデータのときには、ビット線は接地レベルになり、ベリファイの対象外となる。そして、一定時間経過後、パルス状の信号である信号 $\phi$ LAT2がハイレベルに設定される。書き込みデータが"110"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF1より大きい( $V_{th} > VVF1$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"111"に反転し、以後、再書き込みではビット線BL0は電源電圧 $V_{cc}$ 、チャンネルは非書き込み電位にブーストされて書き込みされない。書き込みデータが"110"のメモリセルで、そのしきい値電圧 $V_{th}$ がワード線電圧VVF1より小さい( $V_{th} < VVF1$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは"110"のまま変化せず、再書き込み時に、ビット線電圧が書き込み電位に設定されて書き込みが行なわれる。

【0620】3-4、第3の実施の形態の読み出し時の動作

次に、この発明の第3の実施の形態の読み出し動作について図15を参照して説明する。読み出し時の基本的な動作は、前述の第2の実施例と同様である。つまり、スタンバイ時には、制御信号TRN、AiB、AiNは( $V_{cc} - V_{th}$ )のレベルにあり、制御信号DISはハイレベルに設定される。このとき、NMOSTランジスタN51が導通状態となり、全ビット線は接地レベルとなる。

【0621】この状態で読み出し動作が起動されると、制御信号DISがローレベルになり、ビット線は接地ラインから切り離される。そして、選択ビット線が例えば偶数ビット線の場合、AiBがP5Vレベル、AiNが接地レベルに設定され、奇数ビット線はラッチから切り離され、制御信号TRNは( $V_{cc} - V_{th}$  (=  $V_{TRN}$ ))に保持される。これと同時に、制御信号RSTにハイレベルが設定され、ラッチ回路LQ2、LQ1、LQ0のノードQ2、Q1、Q0が全て「0」にリセットされる。

【0622】読み出し動作は、ワード線をVRD7、VRD6、VRD5、VRD4、VRD3、VRD2、VRD1に順次下げて行なわれる。読み出し時には、図11Bに示すように、電圧VB0は $V_{cc}$ レベル、電圧VB1、電圧VB2、電圧VB3は接地レベルに常に設定される。そして、この期間中、制御信号Vrefにビット線のリークを補償する電流を流すための電圧が印加されている。

【0623】また、読み出し制御信号RDは常にハイレベルに設定され、NMOSTランジスタN65は、読み出しの間、常に、導通状態にある。また、読み出し時に

は、信号WVFHFは常にローレベルのため、トランジスタN72は常にオフしている。

【0624】まず、選択ワード線電圧がVRD7 に設定され、制御信号PGM\_RVPCが電源電圧Vccに設定され、NMOSTランジスタN52が導通状態に設定される。

【0625】ここで、NMOSTランジスタN54、N53が導通状態にあれば、電圧VB0からの電流がNMOSTランジスタN54、N53、N52を介して流れ、ビット線が充電される。読み出しの開始時には、ラッチ回路LQ2、LQ1、LQ0が全て「0」にリセットされているため、ラッチ回路LQ2の反転ノード/Q2は「1」、ラッチ回路LQ1の反転ノード/Q1は「1」である。したがって、この時、NMOSTランジスタN54、N53が導通状態である。

【0626】したがって、電圧VB0からの電流がNMOSTランジスタN54、N53、N52を介して流れ、全ての偶数ビット線は( $V_{TRN} - V_{th}$ )に充電され、NMOSTランジスタHN51がカットオフすることにより、全てのノードSAはVccに充電される。その後、制御信号PGM\_RVPCが接地レベルに戻される。

【0627】ワード線電圧がVRD7 での読み出しの結果、メモリセルのしきい値電圧Vthがワード線電圧VRD7 より大きい( $V_{th} > VRD7$ )の場合、セル電流が流れないことにより、ノードSAは電源電圧Vccに保持される。このとき、NMOSTランジスタN66、N67、N68が導通状態となる。

【0628】そして、一定時間経過後、パルス状の信号である信号φLAT0、φLAT1、φLAT2が順次ハイレベルに設定される。

【0629】信号φLAT0がハイレベルに設定されると、NMOSTランジスタN69が導通状態に設定される。そして、NMOSTランジスタN66は導通している。したがって、ラッチ回路LQ2の反転ノード/Q2が「0」になり、ラッチ回路LQ2のノードQ2が「1」に反転する。

【0630】信号φLAT1がハイレベルに設定されると、NMOSTランジスタN70が導通状態に設定される。そして、NMOSTランジスタN67は導通している。したがって、ラッチ回路LQ1の反転ノード/Q1が「0」になり、ラッチ回路LQ1のノードQ1が「1」に反転する。

【0631】信号φLAT2がハイレベルに設定されると、NMOSTランジスタN71が導通状態に設定される。そして、NMOSTランジスタN68は導通している。したがって、ラッチ回路LQ0の反転ノード/Q0が「0」になり、ラッチ回路LQ0のノードQ0が「1」に反転する。

【0632】以上により、メモリセルのしきい値電圧V

thがワード線電圧VRD7 より大きい( $V_{th} > VRD7$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータが“111”に反転する。なお、読み出しデータは反転しており、ラッチデータが“111”のときの読み出しデータは、“000”である。

【0633】一方、メモリセルのしきい値電圧Vthがワード線電圧VRD7 以下( $V_{th} < VRD7$ )であれば、リーク補償電圧より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタHN51が導通状態となり、電荷の再配分が起こり、ノードSAの電圧はビット線電圧と略等しい( $V_{TRN} - V_{th}$ )となる。このため、NMOSTランジスタN66、N67、N68は完全に導通しない。

【0634】そして、一定時間経過後、パルス状の信号である信号φLAT0、φLAT1、φLAT2が順次ハイレベルに設定される。

【0635】信号φLAT0がハイレベルに設定されると、NMOSTランジスタN69が導通状態に設定される。しかし、NMOSTランジスタN66は完全に導通していないため、ラッチ回路LQ2を反転させるための十分な電流を流すことはできず、ラッチ回路LQ2のノードの反転は生じない。

【0636】信号φLAT1がハイレベルに設定されると、NMOSTランジスタN70が導通状態に設定される。しかし、NMOSTランジスタN67は完全に導通していないため、ラッチ回路LQ1を反転させるための十分な電流を流すことはできず、ラッチ回路LQ1のノードの反転は生じない。

【0637】信号φLAT2がハイレベルに設定されると、NMOSTランジスタN71が導通状態に設定される。しかし、NMOSTランジスタN68は完全に導通していないため、ラッチ回路LQ0を反転させるための十分な電流を流すことはできず、ラッチ回路LQ0のノードの反転は生じない。

【0638】次に、選択ワード線電圧がVRD6 に設定され、制御信号PGM\_RVPCが電源電圧Vccに設定され、NMOSTランジスタN52が導通状態に設定される。

【0639】前回に選択ワード線電圧がVRD7 に設定して読み出しを行なったときにラッチ回路LQ1及びLQ2のノードの反転が起こっていないセルにつながるビット線は、電圧VB0からの電流がNMOSTランジスタN54、N53、N52を介して流れ、( $V_{TRN} - V_{th}$ )に充電され、NMOSTランジスタHN51がカットオフすることにより、そのノードSAはVccに充電される。

【0640】前回に選択ワード線電圧がVRD7 に設定して読み出しを行なったときにラッチ回路LQ1及びLQ2のノードの反転が起こっていれば、NMOSTランジスタN54、N53が非導通状態となる。この場合に

は、読み出し動作の対象外となる。その後、制御信号PGM\_RVPCが接地レベルに戻される。

【0641】ワード線電圧がVRD6での読み出しの結果、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD6より大きい( $V_{th} > VRD6$ )場合、セル電流が流れないことにより、ノードSAは電源電圧 $V_{cc}$ に保持される。このとき、NMOSTランジスタN66、N67、N68が導通状態となる。

【0642】そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT0}$ 、 $\phi_{LAT1}$ が順次ハイレベルに設定される。

【0643】信号 $\phi_{LAT0}$ がハイレベルに設定されると、NMOSTランジスタN69が導通状態に設定される。そして、NMOSTランジスタN66は導通しているため、ラッチ回路LQ2の反転ノード/Q2が「0」になり、ラッチ回路LQ2のノードQ2が「1」に反転する。

【0644】信号 $\phi_{LAT1}$ がハイレベルに設定されると、NMOSTランジスタN70が導通状態に設定される。そして、NMOSTランジスタN67は導通しているため、ラッチ回路LQ1の反転ノード/Q1が「0」になり、ラッチ回路LQ1のノードQ1が「1」に反転する。

【0645】以上により、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD6より大きい( $V_{th} > VRD6$ )場合、前回迄にラッチの反転が生じていなければ、ラッチ回路LQ2、LQ1、LQ0のラッチデータが“110”に反転する。前回迄にラッチの反転が生じていれば、そのデータが保持される。なお、読み出しデータは反転しており、ラッチデータが“110”のときの読み出しデータは、“001”である。

【0646】メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD6より小さい( $V_{th} < VRD6$ )場合には、リーク補償電圧より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタHN51が導通状態となり、電荷の再配分が起こり、ノードSAの電圧はビット線電圧と略等しい( $V_{TRN} - V_{th}$ )となる。このため、NMOSTランジスタN66、N67、N68は完全に導通しない。

【0647】そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT0}$ 、 $\phi_{LAT1}$ が順次ハイレベルに設定される。

【0648】信号 $\phi_{LAT0}$ がハイレベルに設定されると、NMOSTランジスタN69が導通状態に設定される。しかし、NMOSTランジスタN66は完全に導通していないため、ラッチ回路LQ2を反転させるための十分な電流を流すことはできず、ラッチ回路LQ2のノードの反転は生じない。

【0649】信号 $\phi_{LAT1}$ がハイレベルに設定されると、NMOSTランジスタN70が導通状態に設定され

る。しかし、NMOSTランジスタN67は完全に導通していないため、ラッチ回路LQ1を反転させるための十分な電流を流すことはできず、ラッチ回路LQ1のノードの反転は生じない。

【0650】次に、選択ワード線電圧がVRD5に設定され、制御信号PGM\_RVPCが電源電圧 $V_{cc}$ に設定され、NMOSTランジスタN52が導通状態に設定される。

【0651】ここで、前回までにノードの反転が起こっていなければ、NMOSTランジスタN54、N53が導通状態となるため、電圧VB0によりビット線が充電される。この時、読み出し対象の偶数ビット線は( $V_{TRN} - V_{th}$ )に充電され、NMOSTランジスタHN51がカットオフすることにより、読み出し対象のノードSAは $V_{cc}$ に充電される。

【0652】前回までの読み出しで、ラッチ回路LQ1及びLQ2のノードの反転が起こっていれば、NMOSTランジスタN54、N53が非導通状態となる。この場合には、読み出し動作の対象外となる。

【0653】その後、制御信号PGM\_RVPCが接地レベルに戻される。

【0654】ワード線電圧がVRD5での読み出しの結果、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD5より大きい( $V_{th} > VRD5$ )の場合、セル電流が流れないことにより、ノードSAは電源電圧 $V_{cc}$ に保持される。このとき、NMOSTランジスタN66、N67、N68が導通状態となる。

【0655】そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT0}$ 、 $\phi_{LAT2}$ が順次ハイレベルに設定される。

【0656】信号 $\phi_{LAT0}$ がハイレベルに設定されると、NMOSTランジスタN69が導通状態に設定される。そして、NMOSTランジスタN66は導通しているため、ラッチ回路LQ2の反転ノード/Q2が「0」になり、ラッチ回路LQ2のノードQ2が「1」に反転する。

【0657】信号 $\phi_{LAT2}$ がハイレベルに設定されると、NMOSTランジスタN71が導通状態に設定される。そして、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD5より大きい場合、NMOSTランジスタN68は導通している。したがって、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD5より大きい場合、信号 $\phi_{LAT2}$ がハイレベルに設定されると、ラッチ回路LQ0の反転ノード/Q0が「0」になり、ラッチ回路LQ0のノードQ0が「1」に反転する。

【0658】以上により、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD5より大きい( $V_{th} > VRD5$ )場合、前回迄にラッチの反転が起きていなければ、ラッチ回路LQ2、LQ1、LQ0のラッチデータが“101”に反転する。前回迄にラッチの反転が生じていれ

ば、そのデータが保持される。なお、読み出しデータは反転しており、ラッチデータが" 101 " のときの読み出しデータは、" 010 " である。

【0659】メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{RD5}$  以下 ( $V_{th} < V_{RD5}$ ) であれば、リーク補償電圧より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタ $N51$  が導通状態となり、電荷の再配分が起こり、ノード $SA$  の電圧はビット線電圧と略等しい ( $V_{TRN} - V_{th}'$ ) となる。このため、NMOSTランジスタ $N66$ 、 $N67$ 、 $N68$  は完全に導通しない。

【0660】そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT0}$ 、 $\phi_{LAT2}$  が順次ハイレベルに設定される。

【0661】信号 $\phi_{LAT0}$  がハイレベルに設定されると、NMOSTランジスタ $N69$  が導通状態に設定される。しかし、NMOSTランジスタ $N66$  は完全に導通していないため、ラッチ回路 $LQ2$  を反転させるための十分な電流を流すことはできず、ラッチ回路 $LQ2$  のノードの反転は生じない。

【0662】信号 $\phi_{LAT2}$  がハイレベルに設定されると、NMOSTランジスタ $N71$  が導通状態に設定される。しかし、NMOSTランジスタ $N68$  は完全に導通していないため、ラッチ回路 $LQ0$  を反転させるための十分な電流を流すことはできず、ラッチ回路 $LQ0$  のノードの反転は生じない。

【0663】次に、選択ワード線電圧が $V_{RD4}$  に設定されて、読み出しが行なわれる。そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT0}$  がハイレベルに設定される。

【0664】ワード線電圧が $V_{RD4}$  での読み出しの結果、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{RD4}$  より大きい ( $V_{th} > V_{RD4}$ ) 場合、セル電流が流れないことにより、ノード $SA$  は電源電圧 $V_{cc}$  に保持される。このとき、NMOSTランジスタ $N66$ 、 $N67$ 、 $N68$  が導通状態となる。

【0665】信号 $\phi_{LAT0}$  がハイレベルに設定されると、NMOSTランジスタ $N69$  が導通状態に設定される。そして、NMOSTランジスタ $N66$  は導通しているため、ラッチ回路 $LQ2$  の反転ノード $Q2$  が「0」になり、ラッチ回路 $LQ2$  のノード $Q2$  が「1」に反転する。

【0666】以上により、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{RD4}$  より大きい ( $V_{th} > V_{RD4}$ ) 場合、前回迄にラッチの反転が起きていなければ、ラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$  のラッチデータが" 100 " に反転する。前回迄にラッチの反転が生じていなければ、そのデータが保持される。なお、読み出しデータは反転しており、ラッチデータが" 100 " のときの読み出しデータは、" 011 " である。

【0667】メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{RD4}$  より小さい ( $V_{th} < V_{RD4}$ ) 場合には、リーク補償電圧より大きいセル電流が流れてビット線電圧は降下し、NMOSTランジスタ $N51$  が導通状態となり、電荷の再配分が起こり、ノード $SA$  の電圧はビット線電圧と略等しい ( $V_{TRN} - V_{th}'$ ) となる。このため、NMOSTランジスタ $N66$ 、 $N67$ 、 $N68$  は完全に導通しない。

【0668】信号 $\phi_{LAT0}$  がハイレベルに設定されると、NMOSTランジスタ $N69$  が導通状態に設定される。しかし、NMOSTランジスタ $N66$  は完全に導通していないため、ラッチ回路 $LQ2$  を反転させるための十分な電流を流すことはできず、ラッチ回路 $LQ2$  のノードの反転は生じない。

【0669】以下、同様にして、読み出しが行なわれる。すなわち、選択ワード線電圧が $V_{RD3}$  に設定されて、読み出しが行なわれる。そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT1}$ 、 $\phi_{LAT2}$  が順次ハイレベルに設定される。

【0670】これにより、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{RD3}$  より大きい ( $V_{th} > V_{RD3}$ ) 場合、前回迄にラッチの反転が起きていなければ、ラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$  のラッチデータが" 011 " に反転する。なお、読み出しデータは反転しており、ラッチデータが" 011 " のときの読み出しデータは、" 100 " である。メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{RD3}$  より小さい場合、信号 $\phi_{LAT1}$ 、 $\phi_{LAT2}$  がハイレベルに設定されても、ラッチ回路 $LQ1$ 、 $LQ0$  を反転させるための十分な電流を流すことはできず、ラッチ回路 $LQ1$ 、 $LQ0$  のノードの反転は生じない。

【0671】次に、選択ワード線電圧が $V_{RD2}$  に設定されて、読み出しが行なわれる。そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT1}$  がハイレベルに設定される。これにより、メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{RD2}$  より大きい ( $V_{th} > V_{RD2}$ ) 場合、前回迄にラッチの反転が起きていなければ、ラッチ回路 $LQ2$ 、 $LQ1$ 、 $LQ0$  のラッチデータが" 010 " に反転する。なお、読み出しデータは反転しており、ラッチデータが" 010 " のときの読み出しデータは、" 101 " である。メモリセルのしきい値電圧 $V_{th}$ がワード線電圧 $V_{RD2}$  より小さい場合、信号 $\phi_{LAT1}$  がハイレベルに設定されても、ラッチ回路 $LQ1$  を反転させるための十分な電流を流すことはできず、ラッチ回路 $LQ1$  のノードの反転は生じない。

【0672】次に、選択ワード線電圧が $V_{RD1}$  に設定されて、読み出しが行なわれる。そして、一定時間経過後、パルス状の信号である信号 $\phi_{LAT2}$  がハイレベルに設定される。

【0673】これにより、メモリセルのしきい値電圧 $V$

thがワード線電圧VRD1より大きい( $V_{th} > VRD1$ )場合、前回迄にラッチの反転が生じていなければ、ラッチ回路LQ2、LQ1、LQ0のラッチデータが"001"に反転する。なお、読み出しデータは反転しており、ラッチデータが"001"のときの読み出しデータは、"110"である。メモリセルのしきい値電圧 $V_{th}$ がワード線電圧VRD1より小さい場合、信号φLAT2がハイレベルに設定されても、ラッチ回路LQ0を反転させるための十分な電流を流すことはできず、ラッチ回路LQ0のノードの反転は生じない。

【0674】選択ワード線電圧をVRD7～VRD1に設定して、何れも、ラッチの反転が起きていなければ、ラッチ回路LQ2、LQ1、LQ0のデータは、"000"になる。ラッチデータが"000"のときの読み出しデータは"111"である。

【0675】上述のように、この実施の形態では、読み出し時には、前回までの読み出しでラッチ回路のデータの反転が生じている場合には、読み出しの対象外とし、前回までの読み出しでラッチ回路のデータの反転が生じていない場合のみ、読み出しを行なっている。このような構成により、回路規模の縮小が図られている。

#### 【0676】4. 変形例

上述の第1の実施の形態では、メモリセルに4値のデータを記録し、また、第2の実施の形態及び第3の実施の形態では、メモリセルに8値のデータを記録するようにしているが、これに限られるものではない。例えば、メモリセルに16値のデータを記録するようにしても良い。

【0677】また、上述の第1、第2および第3の実施の形態では、ベリファイ動作時に、ワード線電圧をしきい値電圧の分布状態に応じて複数の段階に切り換え、ラッチされているデータに応じてビット線をプリチャージする／しないを制御している。

【0678】すなわち、第1の実施の形態においては、ワード線電圧をVVF3に設定するときには、電圧VB0にのみVccの電圧が与えられ、電圧VB1、VB2は接地レベルである。したがって、ラッチ回路にラッチされている書き込みデータが"00"のときのみ、NMOSトランジスタn3、n4が導通状態となり、ビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。

【0679】同様に、ワード線電圧をVVF2に設定するときには、電圧VB1にのみVccの電圧が与えられ、電圧VB0、VB2は接地レベルであり、ラッチ回路にラッチされている書き込みデータが"01"のときのみビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。ワード線電圧をVVF1に設定するときには、電圧VB2にのみVccの電圧が与えられ、電圧VB0、VB1は接地レベルであり、ラッチ回路にラッチされている書き込みデータが"10"の

ときのみビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。

【0680】また、第2の実施の形態および第3の実施の形態においては、ワード線電圧をVVF7及びVVF6に設定するときには、電圧VB0にのみVccの電圧が与えられ、電圧VB1、VB2、VB3は接地レベルである。したがって、ラッチ回路にラッチされている書き込みデータが"00x"のときのみ、NMOSトランジスタN3、N4が導通状態となり、ビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。

【0681】同様に、ワード線電圧をVVF5及びVVF4に設定するときには、電圧VB1にのみVccの電圧が与えられ、電圧VB0、VB2、VB3は接地レベルであり、ラッチ回路にラッチされている書き込みデータが"01x"のときのみビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。ワード線電圧をVVF3及びVVF2に設定するときには、電圧VB2にのみVccの電圧が与えられ、電圧VB0、VB1、VB3は接地レベルであり、ラッチ回路にラッチされている書き込みデータが"10x"のときのみビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。ワード線電圧をVVF1に設定するときには、電圧VB3にのみVccの電圧が与えられ、電圧VB0、VB1、VB2は接地レベルであり、ラッチ回路にラッチされている書き込みデータが"110"のときのみビット線をプリチャージし、その他のデータのときには、ビット線をプリチャージしない。

【0682】このようにしてベリファイを行なう際、第3の実施の形態では、最下位ビットについては、最下位ビットのノードの状態をNMOSトランジスタN19及びN23のゲートに与え、その反転ノードの状態をNMOSトランジスタゲートN12、N25に与えて、最下位ビットのラッチ回路の状態に応じて、ラッチ回路LQ2、LQ1、LQ0の設定／不設定に制御する構成としている。

【0683】更に、第3の実施の形態では、このようにしてベリファイを行なう際、ラッチ回路LQ0にラッチされる最下位ビットについては、NMOSトランジスタN72、N73により、最下位ビットの状態に応じて、ビット線のディスチャージするように制御する。

【0684】このように、最下位ビットのラッチ回路の状態に応じてラッチ回路LQ2、LQ1、の設定／不設定に制御したり、ビット線のディスチャージを禁止するように制御したりせず、ラッチデータの全てのビットを判別して、ビット線のプリチャージをする／しないを制御するようにしても良い。

【0685】また、読み出し時に、それまでにラッチ回路のノード反転がないときのみ、ビット線をプリチャージするように制御し、前回までにラッチ回路のノード

の反転があると、ビット線にプリチャージ電流が流れないようにしている。すなわち、第1の実施の形態における読み出し時には、電圧VB0のみVccとし、電圧VB1、VB2は接地レベルとする。それまでの読み出しでラッチ回路の反転が起きていないときのみ、NMOSTランジスタn4、n3が導通し、電圧VB0によりビット線がプリチャージされてデータの読み出しが行なわれ、ラッチ回路に読み出しデータが設定される。それまでの読み出しでラッチ回路の反転が起きていないと、ビット線のプリチャージが行なわれなくなり、それまでのデータが保持される。また、第2および第3の実施の形態における読み出し時には、電圧VB0のみVccとし、電圧VB1、VB2、VB3は接地レベルとする。それまでの読み出しでラッチ回路の反転が起きていないときのみ、NMOSTランジスタN4、N3が導通し、電圧VB0によりビット線がプリチャージされてデータの読み出しが行なわれ、ラッチ回路に読み出しデータが設定される。それまでの読み出しでラッチ回路の反転が起きていないと、ビット線のプリチャージが行なわれなくなり、それまでのデータが保持される。

【0686】上述の第2の実施の形態及び第3の実施の形態では、ラッチ回路LQ2、LQ1のデータから、ラッチ回路の反転が起きているかどうかを判断するようにしているが、ラッチ回路LQ2、LQ1、LQ0の全てのデータから、ラッチ回路の反転が起きているかどうかを判断するようにしても良い。

【0687】

【発明の効果】この発明によれば、ベリファイ動作時に、ワード線電圧をしきい値電圧の分布状態に応じて複数の段階に設定し、ラッチ回路にラッチされているデータに応じてビット線をプリチャージする／しないように制御し、メモリセルに電流が流れるかどうかによりメモリセルのしきい値がワード線に印加された電圧を越えているかどうかを検出し、検出出力に応じてラッチ回路を確定して、ベリファイ時にデータが十分に書き込まれるとラッチ回路に所定のデータが設定されるようにしている。これにより、回路規模の縮小が図れる。

【0688】この発明によれば、ベリファイ制御手段を、最下位ビットを除いてラッチ回路に所定のデータがラッチされているときにのみ、ビット線にプリチャージ電流を流すように制御する手段と、最下位ビットの状態に応じて、ラッチ回路の状態を設定不能とするように制御する手段とを含むように構成することにより、回路規模の縮小が図れる。

【0689】この発明によれば、ベリファイ制御手段は、最下位ビットを除いてラッチ回路に所定のデータがラッチされているときにのみ、ビット線にプリチャージ電流を流すように制御する手段と、最下位ビットの状態に応じて、ビット線のディスチャージするように制御する手段とを含むようにすることにより、更に、回路規模

の縮小が図れる。

【0690】この発明によれば、読み出し時に、ワード線電圧をしきい値電圧の分布状態に応じて複数の段階に切り換え、前回までにラッチ回路のノードの反転が生じていないときにのみ、ビット線をプリチャージし、メモリセルに電流が流れるかどうかによりメモリセルのしきい値がワード線に印加された電圧を越えているかどうかを検出し、検出出力に応じてラッチ回路を確定して、読み出し時にラッチ回路に格納された読み出しデータが設定されるようにしている。これにより、回路規模の削減が図れる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態を示す回路図である。

【図2】この発明の第1の実施形態の動作説明に用いる略線図である。

【図3】この発明の第1の実施形態における書き込み時の説明に用いるタイミング図である。

【図4】この発明の第1の実施形態におけるベリファイ時の説明に用いるタイミング図である。

【図5】この発明の第1の実施形態における読み出し時の説明に用いるタイミング図である。

【図6】この発明の第2の実施形態を示す回路図である。

【図7】メモリアレイの説明に用いる回路図である。

【図8】8値の書き込みレベルの説明に用いる略線図である。

【図9】この発明の第2の実施形態における書き込み時の説明に用いるタイミング図である。

【図10】この発明の第2の実施形態におけるベリファイ時の説明に用いるタイミング図である。

【図11】電圧供給端子に与える電圧の説明に用いる略線図である。

【図12】この発明の第2の実施形態における読み出し時の説明に用いるタイミング図である。

【図13】この発明の第3の実施形態を示す回路図である。

【図14】この発明の第3の実施形態におけるベリファイ時の説明に用いるタイミング図である。

【図15】この発明の第3の実施形態における読み出し時の説明に用いるタイミング図である。

【図16】従来の4値記録の不揮発性半導体記憶装置の一例の回路図である。

【図17】従来の4値記録の不揮発性半導体記憶装置におけるベリファイ時の説明に用いるタイミング図である。

【図18】従来の4値記録の不揮発性半導体記憶装置における読み出し時の説明に用いるタイミング図である。

【図19】従来の8値記録の不揮発性半導体記憶装置の一例の回路図である。

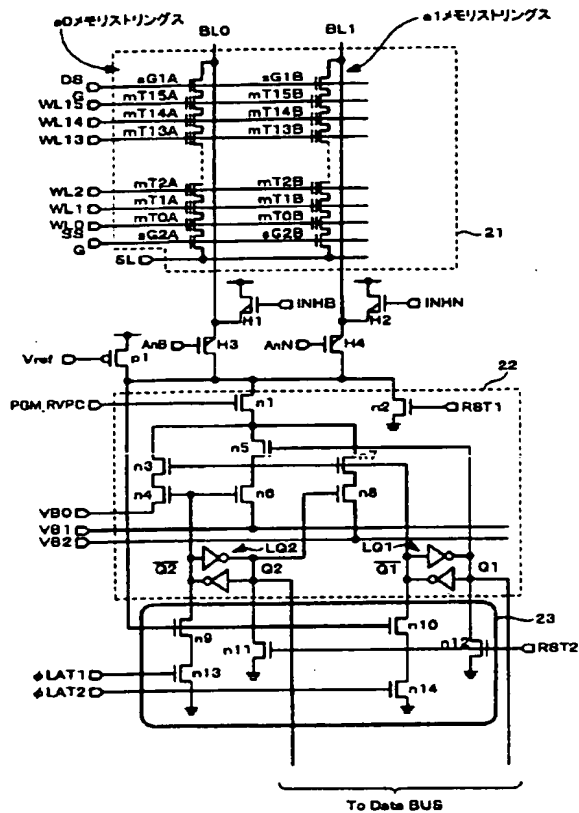
【図20】従来の8値記録の不揮発性半導体記憶装置のベリファイの説明に用いるタイミング図である。

【図21】従来の8値記録の不揮発性半導体記憶装置の読み出しの説明に用いるタイミング図である。

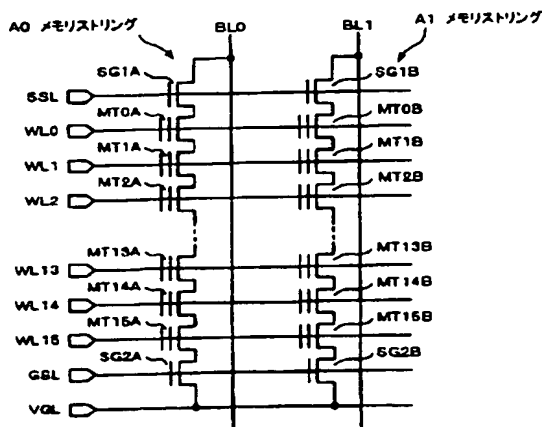
【符号の説明】

11, 21, 51・・・メモリアレイ, 12, , 22, 52・・・ビット線電圧発生回路, 13, 23, 53・・・読み出し/ベリファイ制御回路, LQ0, LQ1, LQ2・・・ラッチ回路

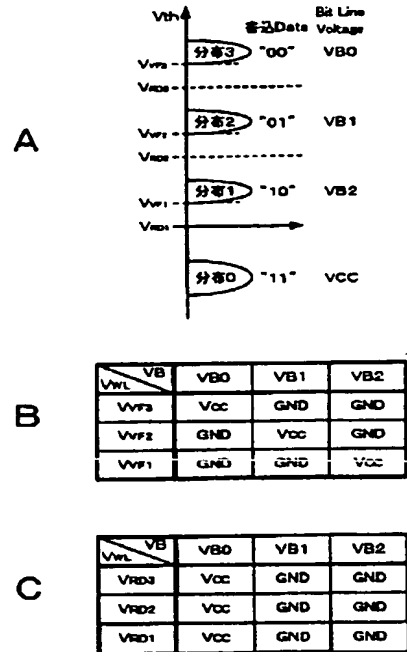
【図1】



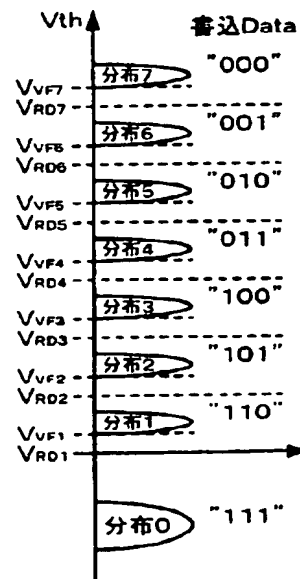
【図7】



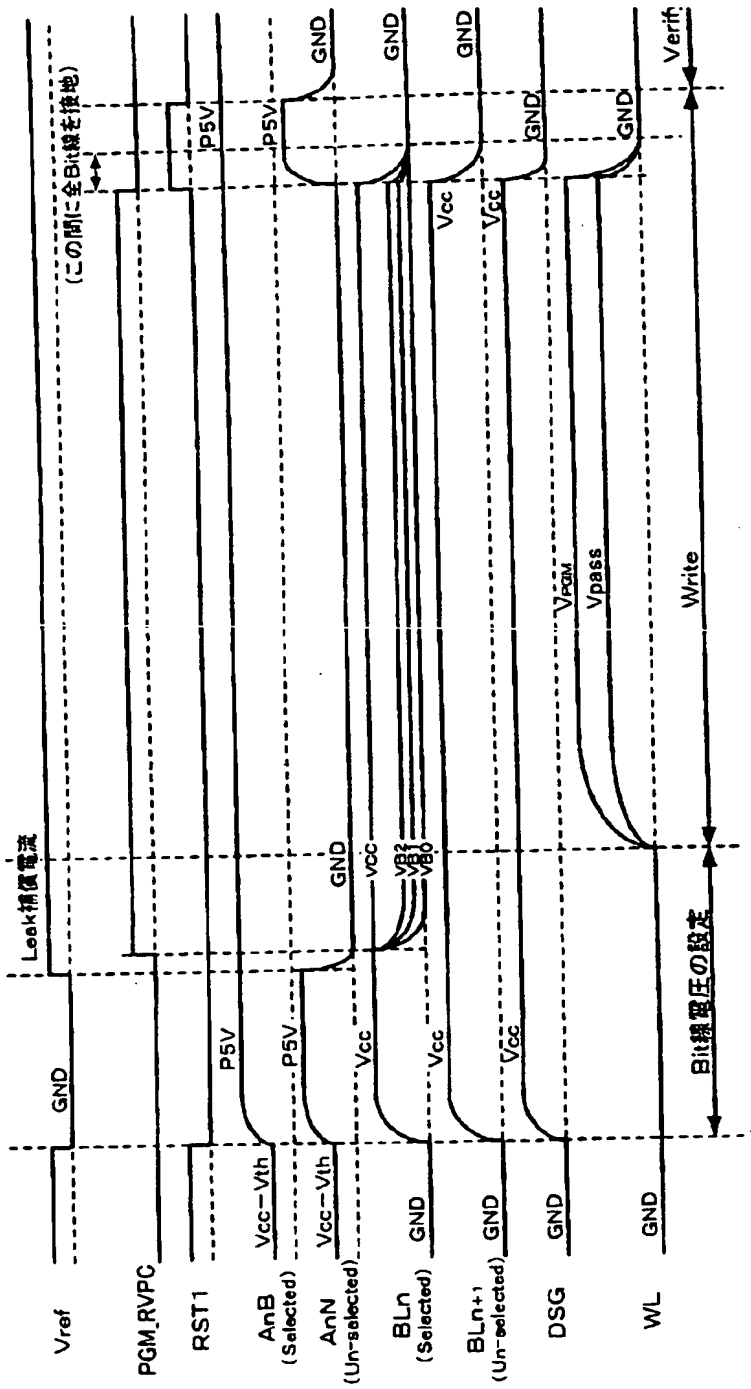
【図2】



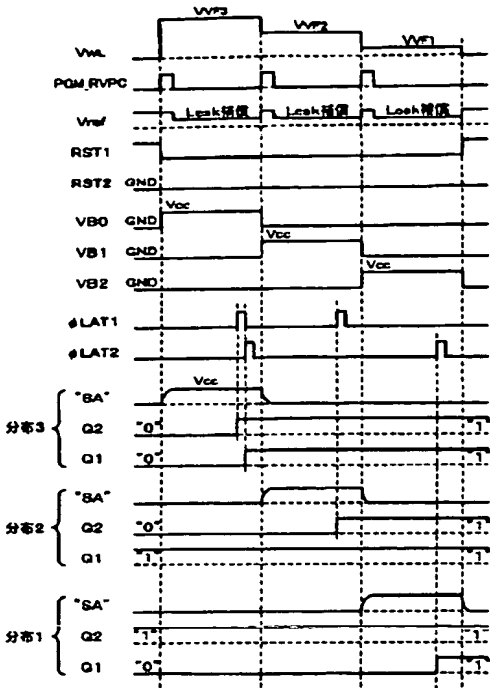
【図8】



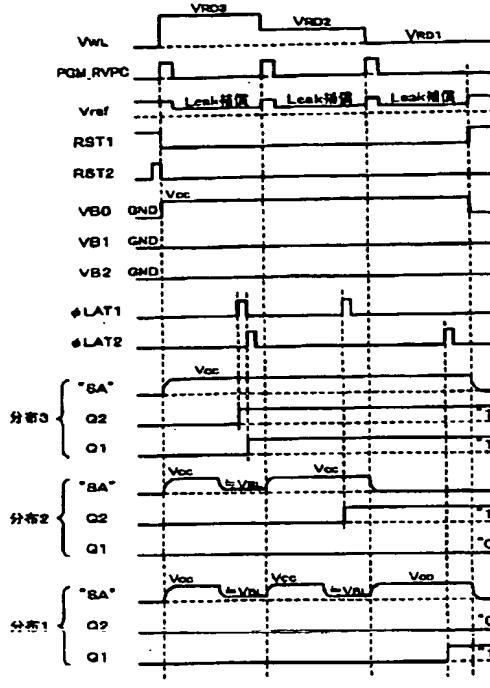
【図3】



【図4】



【図5】



【図11】

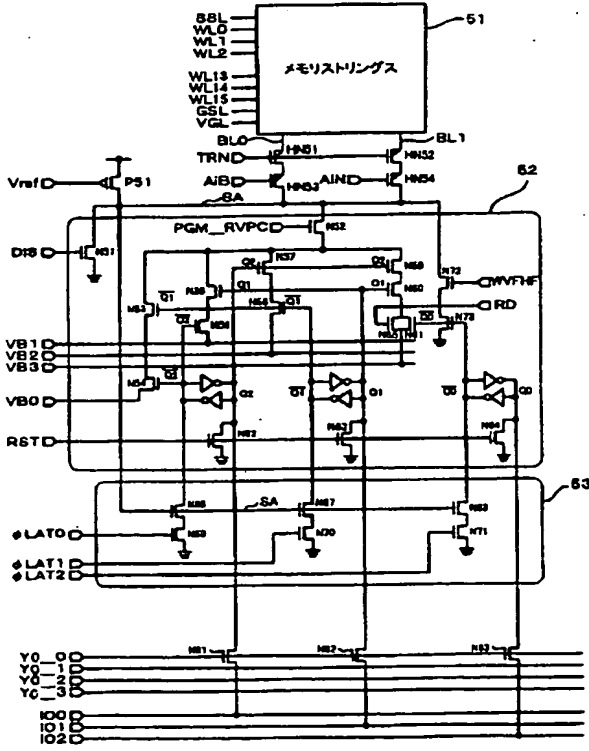
A

VwL \ VB	VB0	VB1	VB2	VB3
VwL				
VwF7	Vcc	GND	GND	GND
VwF6	Vcc	GND	GND	GND
VwF5	GND	Vcc	GND	GND
VwF4	GND	Vcc	GND	GND
VwF3	GND	GND	Vcc	GND
VwF2	GND	GND	Vcc	GND
VwF1	GND	GND	GND	Vcc

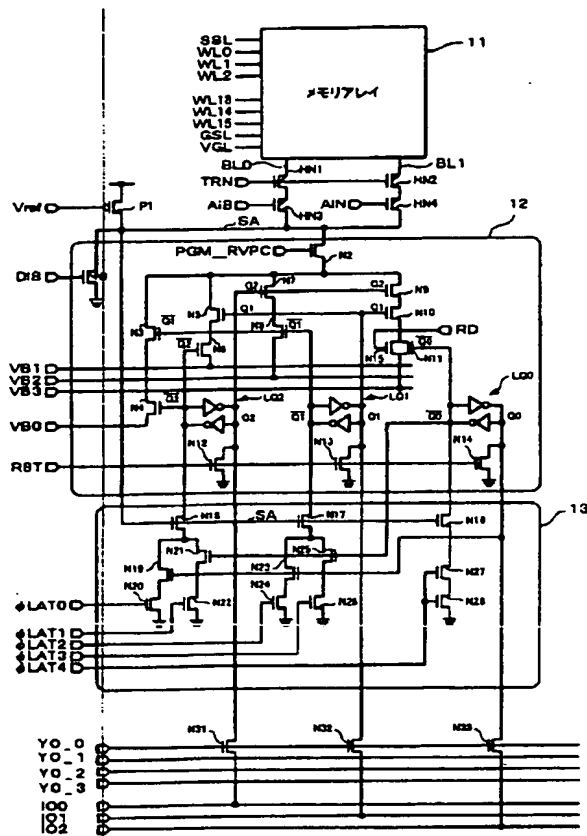
B

VwL \ VB	VB0	VB1	VB2	VB3
VwL				
VRD7	Vcc	GND	GND	GND
VRD6	Vcc	GND	GND	GND
VRD5	Vcc	GND	GND	GND
VRD4	Vcc	GND	GND	GND
VRD3	Vcc	GND	GND	GND
VRD2	Vcc	GND	GND	GND
VRD1	Vcc	GND	GND	GND

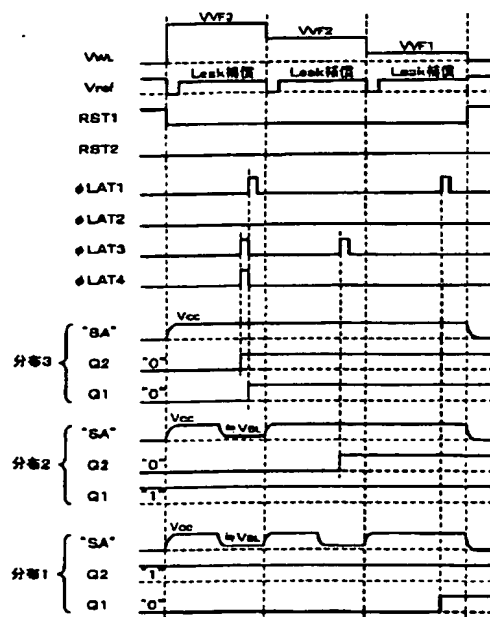
【図13】



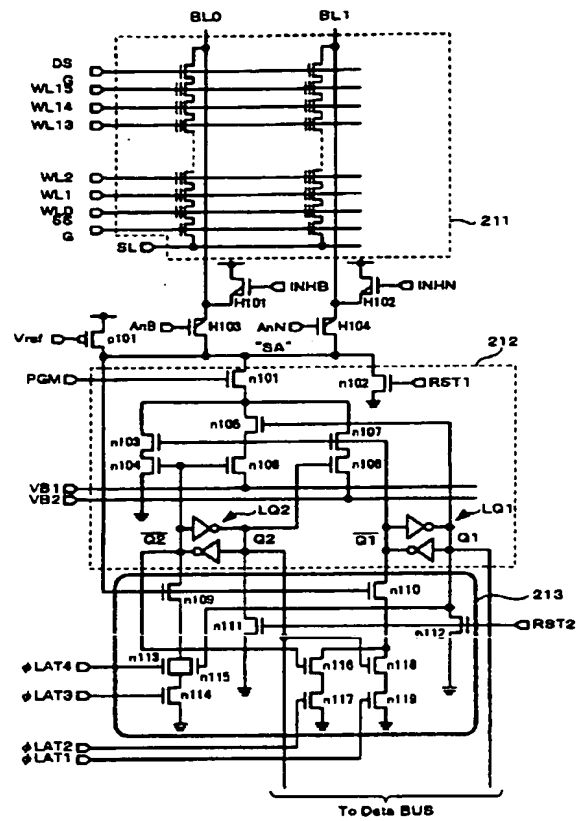
【図6】



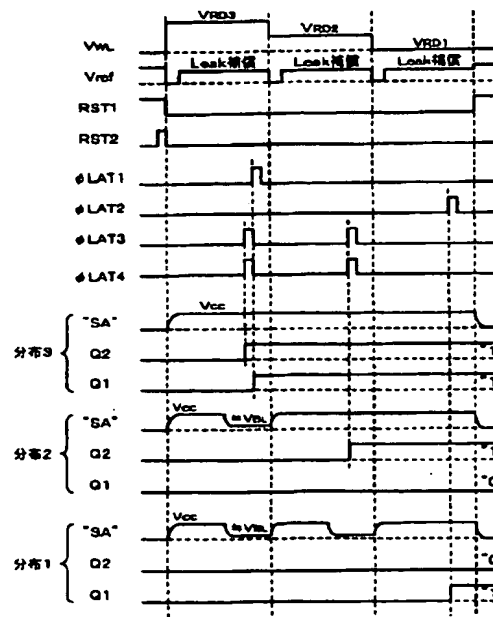
【図17】



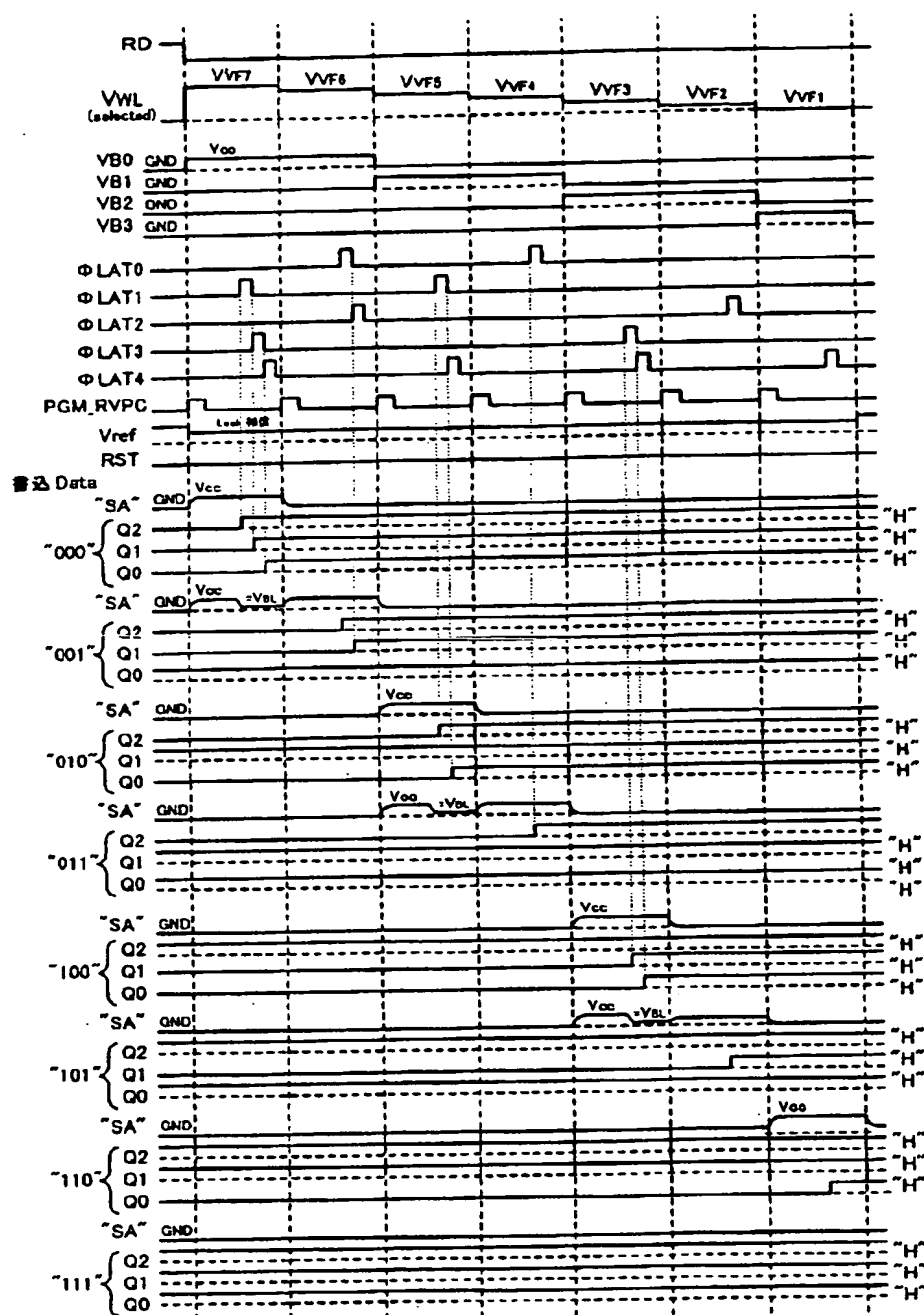
【図16】



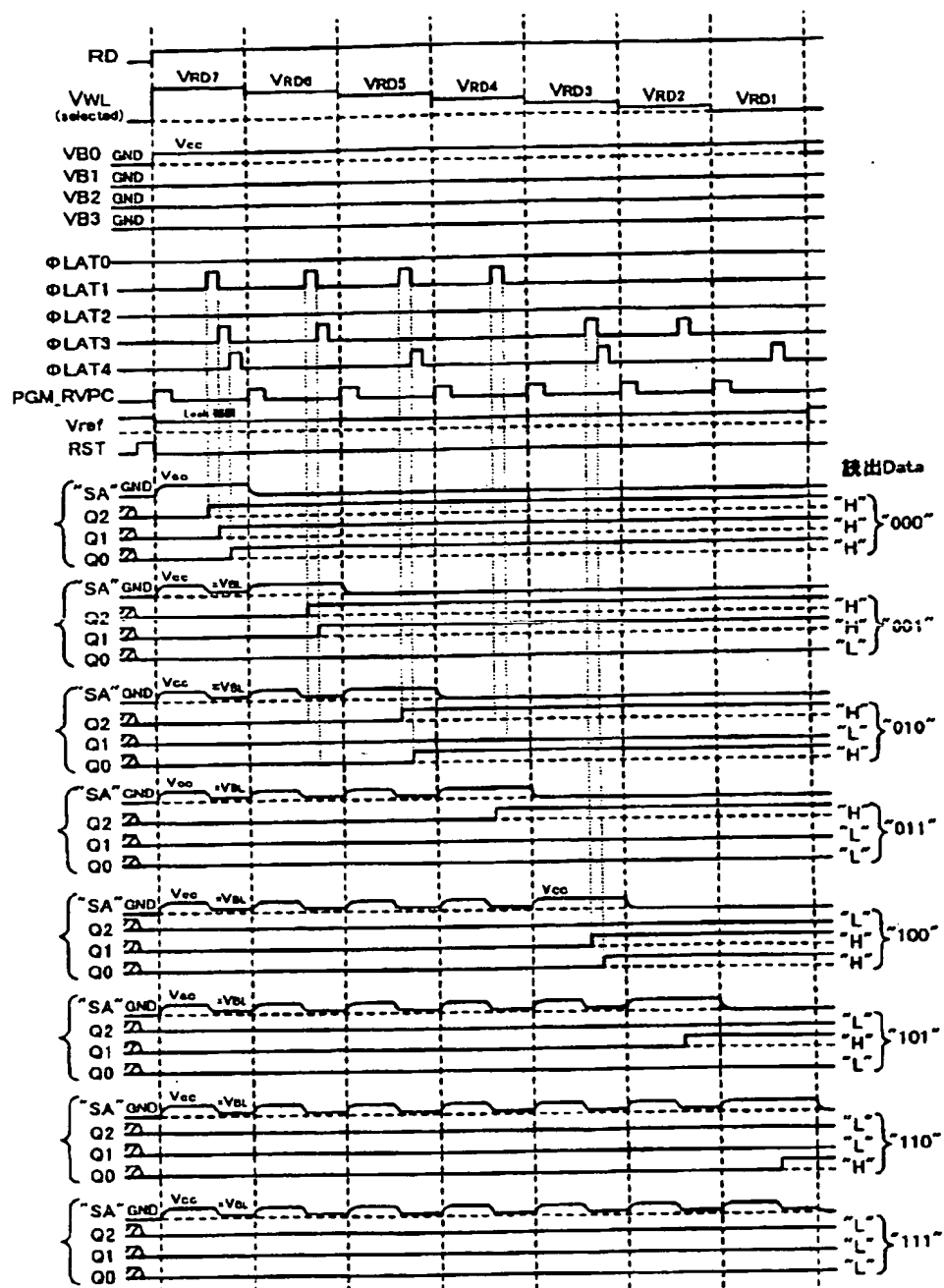
【图18】



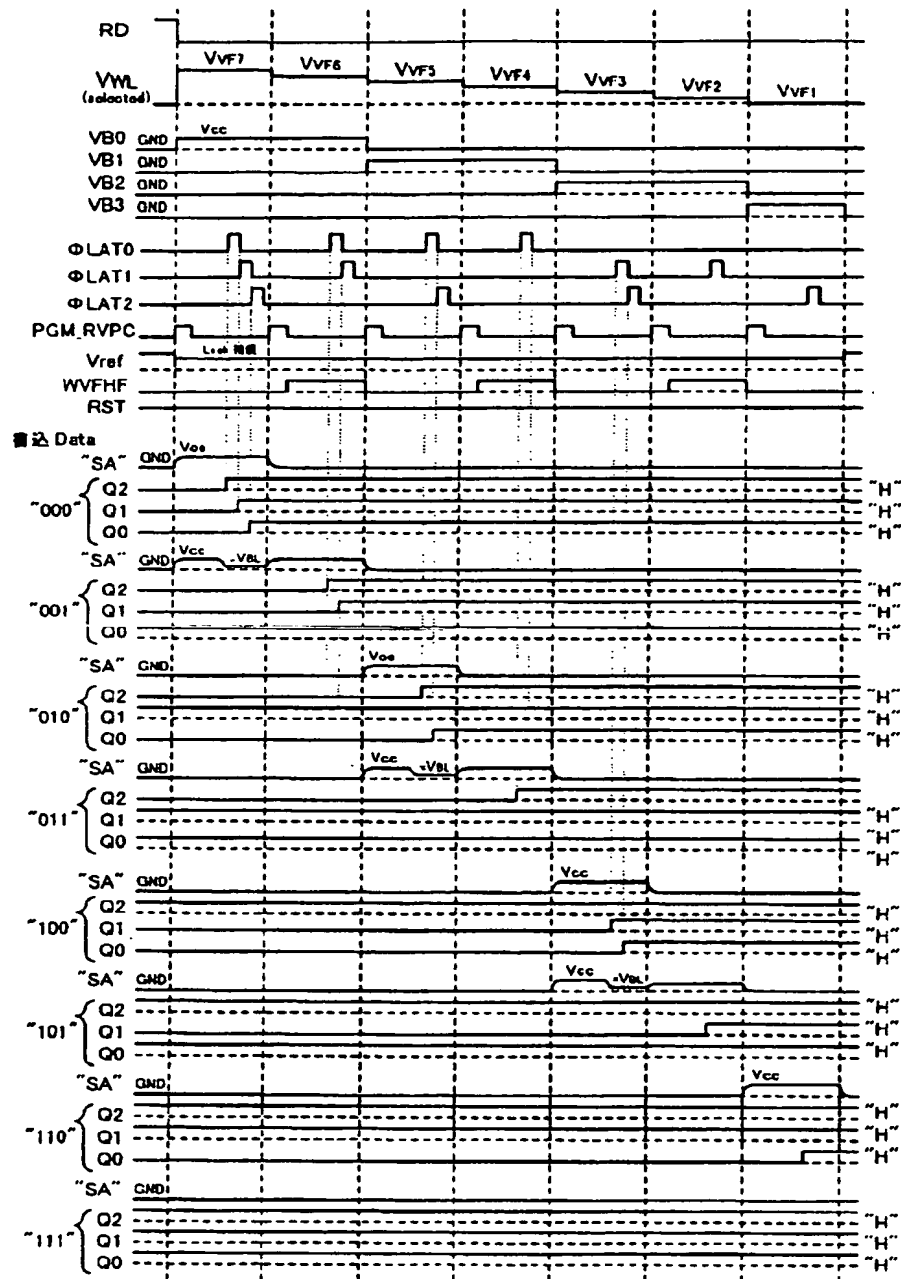




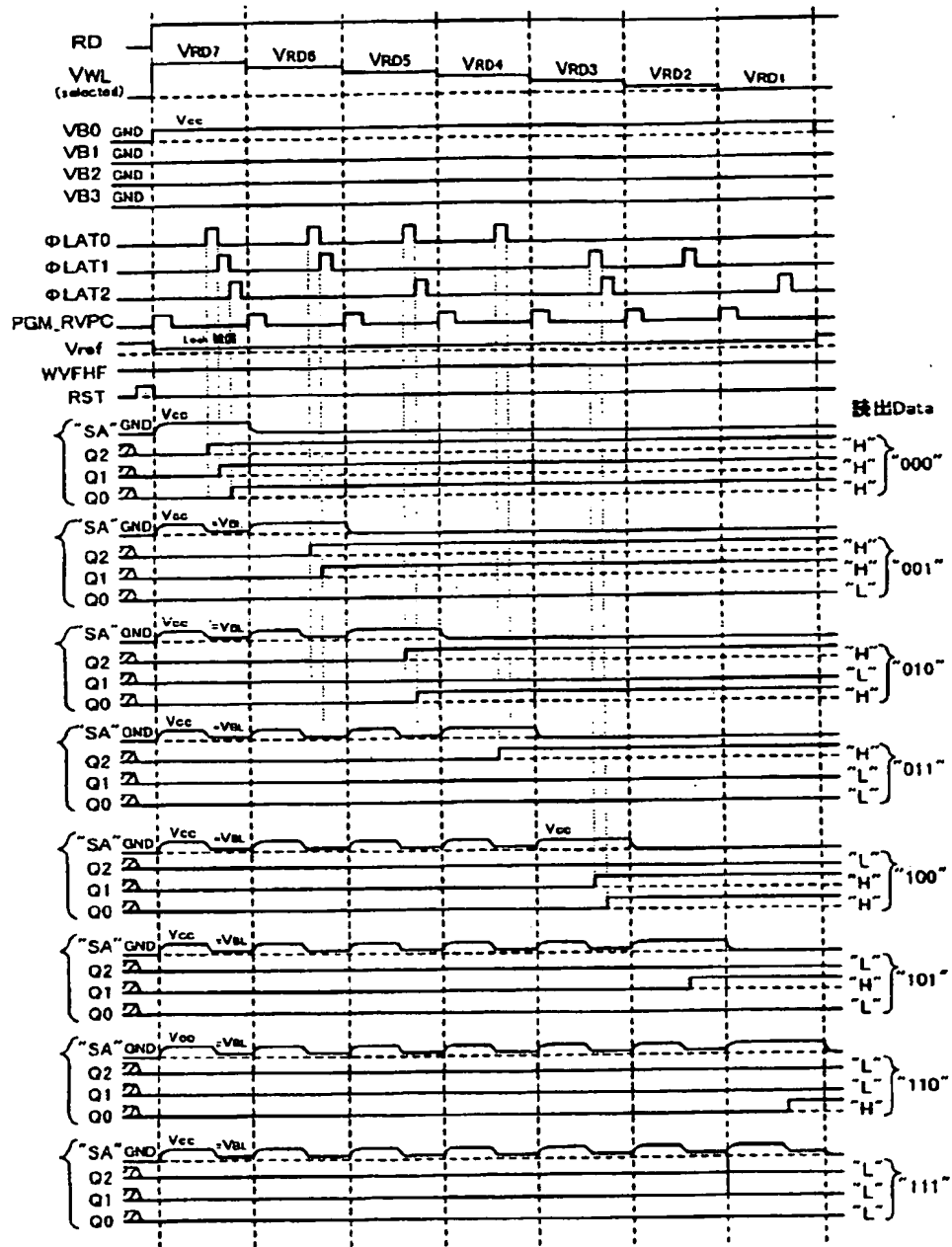
【図12】



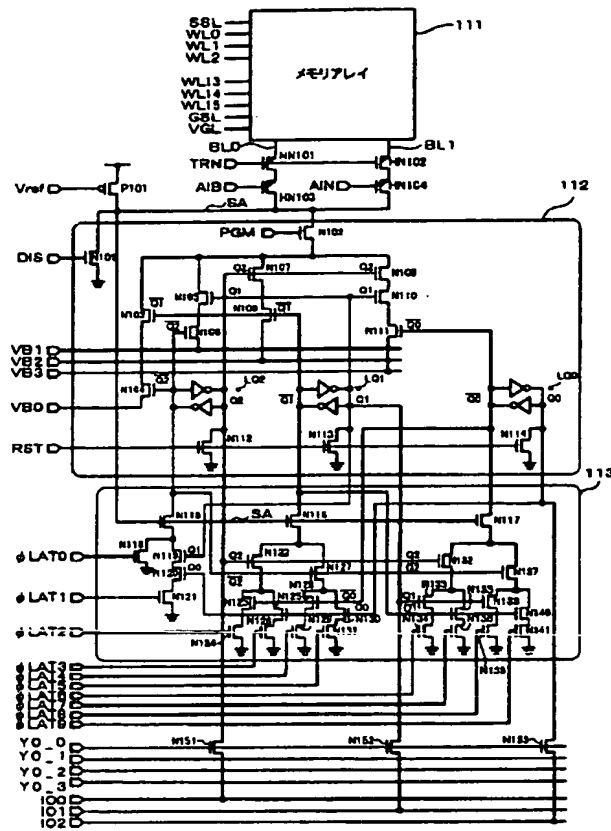
【図14】



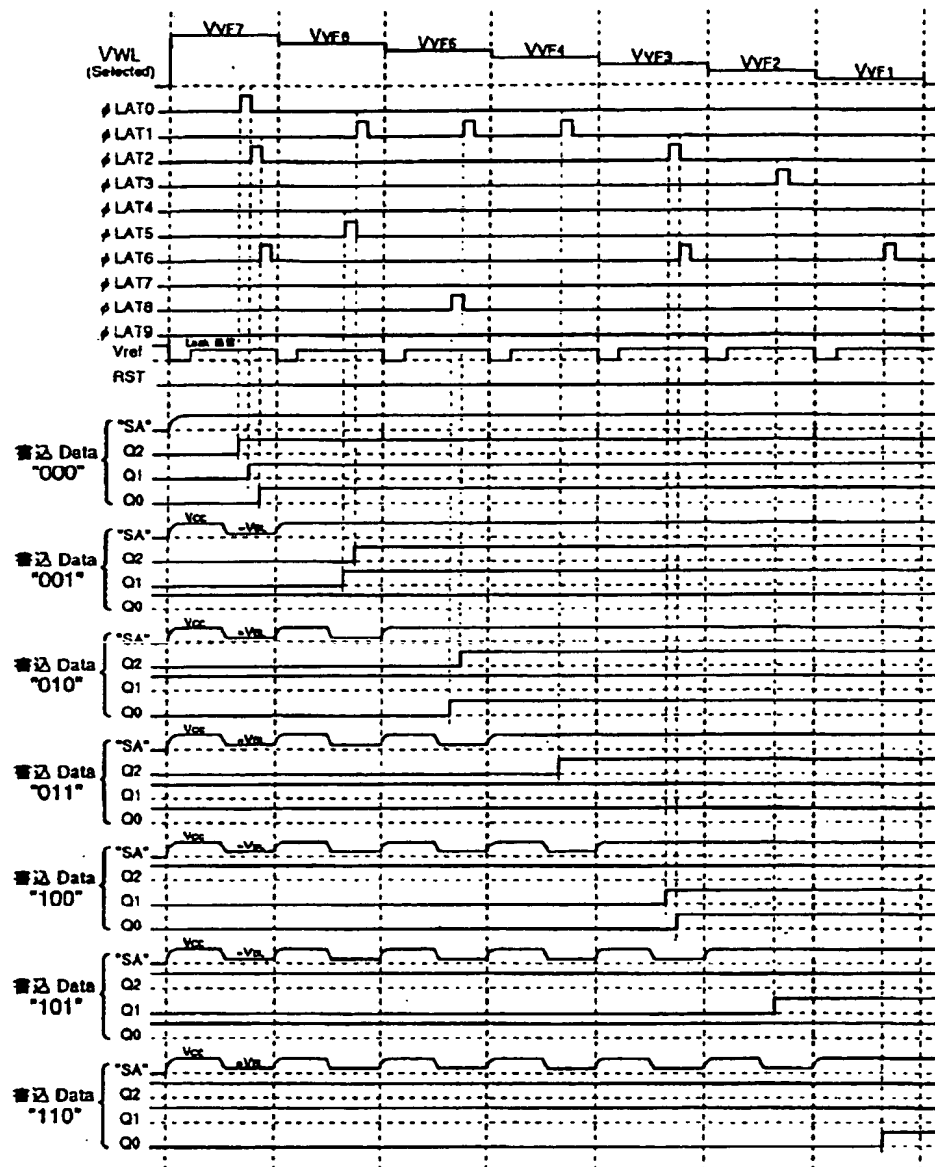
【図15】



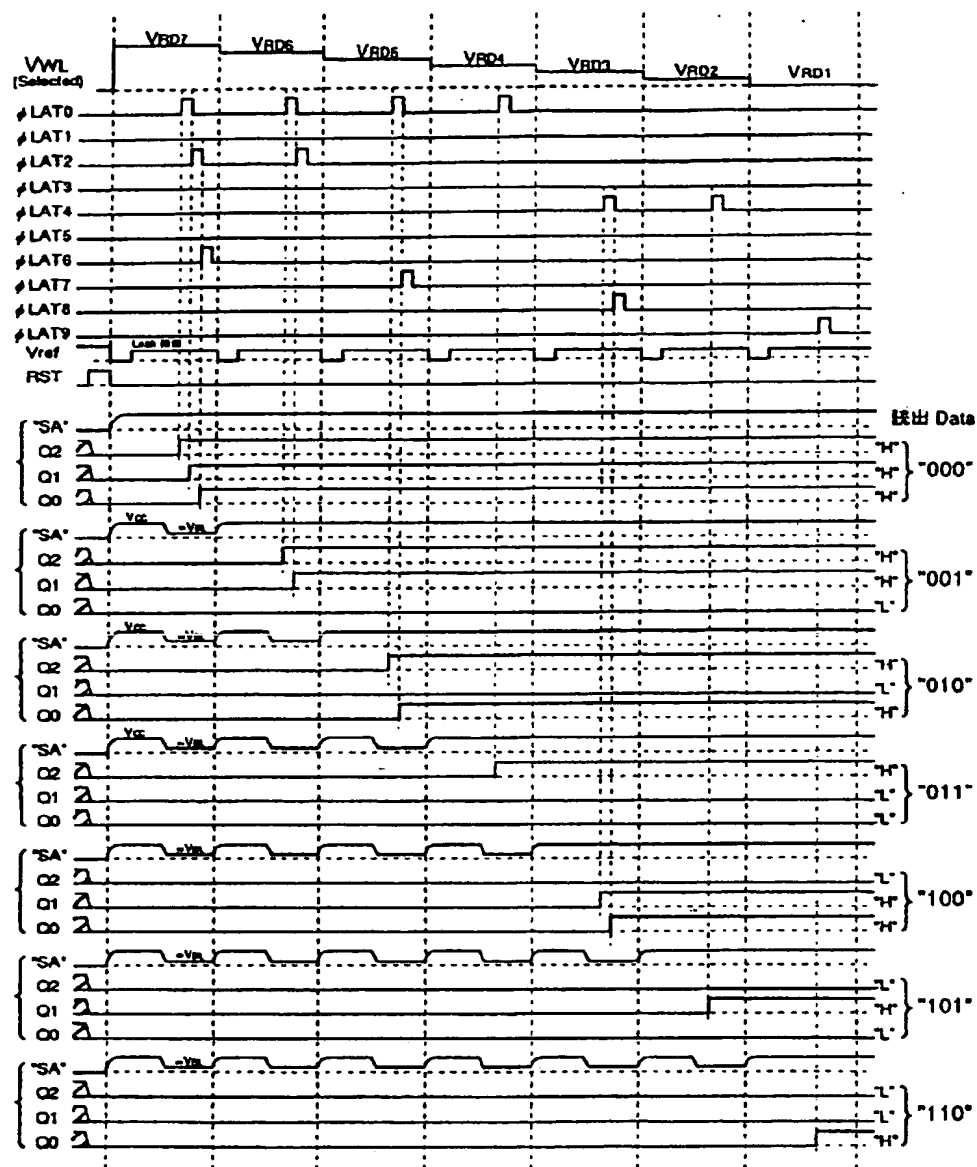
【図19】



【図20】



【図21】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テマコード (参考)

H 0 1 L 29/792